

#2
JBrown
7/16/01

PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

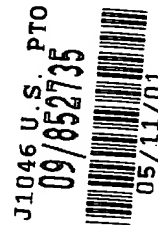
In re application of

Mototsugu OKUSHIMA

Serial No. (unknown)

Filed herewith

ESD PROTECTION APPARATUS
AND METHOD FOR FABRICATING
THE SAME



CLAIM FOR FOREIGN PRIORITY UNDER 35 U.S.C. 119
AND SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents

Washington, D.C. 20231

Sir:

Attached hereto is a certified copy of applicant's corresponding patent application filed in Japan on May 15, 2000 under No. 2000-141304.

Applicant herewith claims the benefit of the priority filing date of the above-identified application for the above-entitled U.S. application under the provisions of 35 U.S.C. 119.

Respectfully submitted,

YOUNG & THOMPSON

By

Thomas W. Perkins
for 33027
Benoît Castel
Attorney for Applicant
Registration No. 35,041
745 South 23rd Street
Arlington, VA 22202
Telephone: 703/521-2297

May 11, 2001

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENTJ1046 U.S. PTO
09/852735
05/11/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 5月15日

出 願 番 号

Application Number:

特願2000-141304

出 願 人

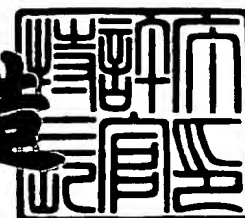
Applicant (s):

日本電気株式会社

2001年 2月16日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3007580

【書類名】 特許願

【整理番号】 74112122

【提出日】 平成12年 5月15日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L

【発明の名称】 E S D保護装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 奥島 基嗣

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100079164

 【弁理士】

 【氏名又は名称】 高橋 勇

 【電話番号】 03-3862-6520

【手数料の表示】

 【予納台帳番号】 013505

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9003064

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 E S D 保護装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体集積回路チップのパッドと当該半導体集積回路チップの内部回路との間に設けられた E S D 保護装置において、

前記パッドに印加された過電圧によって降伏するダイオードを有するトリガ素子と、

前記ダイオードの降伏によって導通することにより、前記パッドの蓄積電荷を放電する縦型バイポーラトランジスタを有する E S D 保護素子と、

を備えたことを特徴とする E S D 保護装置。

【請求項 2】 前記パッドは入力端子又は出力端子であり、

前記トリガ素子は第一及び第二の前記ダイオード並びに第一及び第二の抵抗からなり、

前記 E S D 保護素子は N P N 型の第一及び第二の前記縦型バイポーラトランジスタからなり、

前記第一のダイオードは、カソードが前記パッドに接続され、アノードが前記第一の縦型バイポーラトランジスタのベースに接続され、

前記第二のダイオードは、カソードが電源端子に接続され、アノードが前記第二の縦型バイポーラトランジスタのベースに接続され、

前記第一のダイオードのアノードとグランド端子との間には、前記第一の抵抗が接続され、

前記第二のダイオードのアノードと前記パッドとの間には、前記第二の抵抗が接続され、

前記第一の縦型バイポーラトランジスタは、コレクタが前記パッドに接続され、エミッタが前記グランド端子に接続され、

前記第二の縦型バイポーラトランジスタは、コレクタが前記電源端子に接続され、エミッタが前記パッドに接続された、

請求項 1 記載の E S D 保護装置。

【請求項 3】 前記パッドは電源端子であり、

前記縦型バイポーラトランジスタはNPN型であり、

前記ダイオードは、カソードが前記パッドに接続され、アノードが前記縦型バイポーラトランジスタのベースに接続され、

前記ダイオードのアノードとグランド端子との間には、抵抗が接続され、

前記縦型バイポーラトランジスタは、コレクタが前記パッドに接続され、エミッタが前記グランド端子に接続された、

請求項1記載のESD保護装置。

【請求項4】 半導体集積回路チップのパッドと当該半導体集積回路チップの内部回路との間に設けられたESD保護装置において、

前記パッドに印加された過電圧によって降伏するダイオードとしてコレクタ及びベースが動作するとともに、当該ダイオードの降伏によって導通することにより前記パッドの蓄積電荷を放電する第一の縦型バイポーラトランジスタを有するトリガ素子と、

前記ダイオードの降伏によって導通することにより、前記パッドの蓄積電荷を放電する第二の縦型バイポーラトランジスタを有するESD保護素子と、

を備えたことを特徴とするESD保護装置。

【請求項5】 前記パッドは入力端子又は出力端子であり、

前記トリガ素子は、前記第一の縦型バイポーラトランジスタとして動作するNPN型の縦型バイポーラトランジスタA及び縦型バイポーラトランジスタBと、第一及び第二の抵抗とからなり、

前記ESD保護素子は、前記第二の縦型バイポーラトランジスタとして動作するNPN型の縦型バイポーラトランジスタC及び縦型バイポーラトランジスタDからなり、

前記縦型バイポーラトランジスタA、Cは、コレクタが前記パッドに接続され、ベースが互いに接続され、エミッタがグランド端子に接続され、

前記縦型バイポーラトランジスタA、Cのベースと前記グランド端子との間には、前記第一の抵抗が接続され、

前記縦型バイポーラトランジスタB、Dは、コレクタが電源端子に接続され、ベースが互いに接続され、エミッタが前記パッドに接続され、

前記縦型バイポーラトランジスタ B、D のベースと前記パッドとの間には、前記第二の抵抗が接続された、

請求項 4 記載の ESD 保護装置。

【請求項 6】 前記パッドは電源端子であり、

前記第一及び第二の縦型バイポーラトランジスタは、NPN 型であり、コレクタが前記パッドに接続され、ベースが互いに接続され、エミッタがグランド端子に接続され、

前記第一及び第二の縦型バイポーラトランジスタのベースとグランド端子との間には、抵抗が接続された、

請求項 4 記載の ESD 保護装置。

【請求項 7】 前記ダイオードは、シリコン基板表面に形成された P⁻型ウェルと、この P⁻型ウェル表面に互いに離れて形成された N⁺層及び P⁺層と、これらの N⁺層と P⁺層との間の前記 P⁻型ウェル上に絶縁膜を介して設けられるとともにグランド端子に接続されたダミーゲート電極とからなる、

請求項 1 記載の ESD 保護装置。

【請求項 8】 請求項 1 記載の ESD 保護装置を製造する方法であって、

P 型シリコン基板に対して、前記内部回路を構成する CMOS トランジスタの N⁻型ウェル、及び前記縦型バイポーラトランジスタのコレクタと接続することになるコレクタ接続用 N⁻型ウェルを同時に形成する第一工程と、

前記 P 型シリコン基板に対して、前記縦型バイポーラトランジスタのコレクタとなるコレクタ N⁻型ウェル、及び前記ダイオードの N⁻型ウェルを同時に形成する第二工程と、

前記縦型バイポーラトランジスタのコレクタ N⁻型ウェル内にベースとなる P⁻型層、及び前記ダイオードの N⁻型ウェル内にアノードとなる P⁻型層を同時に形成する第三工程と、

前記 CMOS トランジスタの P⁻型ウェルに N⁺型層、前記縦型バイポーラトランジスタのコレクタ接続用 N⁻型ウェルに N⁺型層、前記縦型バイポーラトランジスタの P⁻型層にエミッタとなる N⁺型層、及び前記ダイオードの P⁻型層にカソードとなる N⁺型層を同時に形成する第四工程と、

前記CMOSトランジスタの N^- 型ウェルに P^+ 型層、前記縦型バイポーラトランジスタの P^- 型層に P^+ 型層、及び前記ダイオードの P^- 型層に P^+ 型層を同時に形成する第五工程と、

を備えたESD保護装置の製造方法。

【請求項9】 前記縦型バイポーラトランジスタのコレクタ N^- 型ウェル及び前記ダイオードの N^- 型ウェルが前記第二工程で形成される領域に、前記CMOSトランジスタのゲート電極と同時にダミーゲート電極を形成する工程を更に備え、

前記ダミーゲート電極は、前記第四工程で形成された前記縦型バイポーラトランジスタ及び前記ダイオードの N^+ 型層と、前記第五工程で形成された前記縦型バイポーラトランジスタ及び前記ダイオードの P^+ 型層とが後工程で接続されるのを防止するものである、

請求項8記載のESD保護装置の製造方法。

【請求項10】 前記第四工程で形成された前記縦型バイポーラトランジスタ及び前記ダイオードの N^+ 型層と、前記第五工程で形成された前記縦型バイポーラトランジスタ及び前記ダイオードの P^+ 型層とが後工程で接続されるのを防止する絶縁膜を形成する工程を更に備えた、

請求項8記載のESD保護装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、静電気破壊（ESD：electrostatic discharge）から半導体集積回路を保護するために、半導体集積回路チップ内に設けられるESD保護装置、及びその製造方法に関する。

【0002】

【従来の技術】

従来のCMOSプロセスにおけるESD保護装置は、MOSFETの横型寄生バイポーラトランジスタを用いて、シリコン基板に対して横方向に電流を逃がして保護するものが一般的であった。一方、ESD保護装置は、半導体集積回路の

微細化が急速に進展するにつれて、1チップに搭載されるピン数も急激に増大するため、更なる縮小化が求められている。

【0003】

【発明が解決しようとする課題】

しかしながら、縮小化が進むほど、接合部の電流集中及び電界集中が増大するため、発熱によりESD保護装置が破壊されてしまうことがあった。そのためこれ以上のESD保護能力の向上には限界があった。また、近年、CMOSトランジスタのゲート絶縁膜が薄膜化が進んでいるため、ESD保護装置が動作する前にゲート絶縁膜が破壊されてしまうことがあった（図26参照）。そのため、より低電圧でトリガするESD保護装置が求められている。

【0004】

【発明の目的】

そこで、本発明の目的は、縮小化しても接合部での電流集中及び電界集中が起きにくく、しかも、より低電圧でトリガするESD保護装置及びその製造方法を提供することにある。

【0005】

【課題を解決するための手段】

本発明に係るESD保護装置は、半導体集積回路チップのパッドと当該半導体集積回路チップの内部回路との間に設けられるものである。そして、パッドに印加された過電圧によって降伏するダイオードを有するトリガ素子と、ダイオードの降伏によって導通することにより、パッドの蓄積電荷を放電する縦型バイポーラトランジスタを有するESD保護素子とを備えている。

【0006】

縦型バイポーラトランジスタは、横型バイポーラトランジスタに比べて、同じ占有面積であるならば接合面積が大きくなるので、縮小化しても接合部での電流集中及び電界集中が起きにくい。一方、ダイオードは、不純物濃度等を変えることによって、所望の降伏電圧を簡単に設定できる。したがって、ダイオードの降伏電圧を縦型バイポーラトランジスタのトリガとすることにより、縮小化しても接合部での電流集中及び電界集中が起きにくく、かつ低電圧でトリガするESD

保護装置が得られる。

【0007】

本発明に係るESD保護装置の第一の具体例は、次のとおりである（請求項2）。パッドは、入力端子又は出力端子である。トリガ素子は、第一及び第二のダイオード並びに第一及び第二の抵抗からなる。ESD保護素子はNPN型の第一及び第二の縦型バイポーラトランジスタからなる。第一のダイオードは、カソードがパッドに接続され、アノードが第一の縦型バイポーラトランジスタのベースに接続されている。第二のダイオードは、カソードが電源端子に接続され、アノードが第二の縦型バイポーラトランジスタのベースに接続されている。第一のダイオードのアノードとグランド端子との間には、第一の抵抗が接続されている。第二のダイオードのアノードとパッドとの間には、第二の抵抗が接続されている。第一の縦型バイポーラトランジスタは、コレクタがパッドに接続され、エミッタがグランド端子に接続されている。第二の縦型バイポーラトランジスタは、コレクタが電源端子に接続され、エミッタがパッドに接続されている。

【0008】

本発明に係るESD保護装置の第二の具体例は、次のとおりである（請求項3）。パッドは電源端子である。縦型バイポーラトランジスタはNPN型である。ダイオードは、カソードがパッドに接続され、アノードが縦型バイポーラトランジスタのベースに接続されている。ダイオードのアノードとグランド端子との間には、抵抗が接続されている。縦型バイポーラトランジスタは、コレクタがパッドに接続され、エミッタがグランド端子に接続されている。

【0009】

本発明に係るESD保護装置は、次の構成としてもよい（請求項4）。トリガ素子は、パッドに印加された過電圧によって降伏するダイオードとしてコレクタ及びベースが動作するとともに、当該ダイオードの降伏によって導通することによりパッドの蓄積電荷を放電する第一の縦型バイポーラトランジスタを有する。ESD保護素子は、ダイオードの降伏によって導通することにより、パッドの蓄積電荷を放電する第二の縦型バイポーラトランジスタを有する。

【0010】

この場合の具体例は、次のとおりである（請求項 5，6）。パッドは入力端子又は出力端子である。トリガ素子は、第一の縦型バイポーラトランジスタとして動作する NPN 型の縦型バイポーラトランジスタ A 及び縦型バイポーラトランジスタ B と、第一及び第二の抵抗とからなる。ESD 保護素子は、第二の縦型バイポーラトランジスタとして動作する NPN 型の縦型バイポーラトランジスタ C 及び縦型バイポーラトランジスタ D からなる。縦型バイポーラトランジスタ A，C は、コレクタがパッドに接続され、ベースが互いに接続され、エミッタがグランド端子に接続されている。縦型バイポーラトランジスタ A，C のベースとグランド端子との間には、第一の抵抗が接続されている。縦型バイポーラトランジスタ B，D は、コレクタが電源端子に接続され、ベースが互いに接続され、エミッタがパッドに接続されている。縦型バイポーラトランジスタ B，D のベースとパッドとの間には、第二の抵抗が接続されている（請求項 5）。

【0011】

パッドは電源端子である。第一及び第二の縦型バイポーラトランジスタは、NPN 型であり、コレクタがパッドに接続され、ベースが互いに接続され、エミッタがグランド端子に接続されている。第一及び第二の縦型バイポーラトランジスタのベースとグランド端子との間には、抵抗が接続されている（請求項 6）。

【0012】

本発明に係る ESD 保護装置は、更に次の構成としてもよい（請求項 7）。ダイオードは、シリコン基板表面に形成された P⁻型ウェルと、この P⁻型ウェル表面に互いに離れて形成された N⁺層及び P⁺層と、これらの N⁺層と P⁺層との間の P⁻型ウェル上に絶縁膜を介して設けられるとともにグランド端子に接続されたダミーゲート電極とからなる。この場合は、N⁺層とダミーゲート電極との間の電界が強くなるので、より低い電圧でトリガするようになる。

【0013】

本発明に係る ESD 保護装置の製造方法は、本発明に係る ESD 保護装置を製造する方法であって、次の工程を備えている。P 型シリコン基板に対して、内部回路を構成する CMOS トランジスタの N⁻型ウェル、及び縦型バイポーラトランジスタのコレクタと接続することになるコレクタ接続用 N⁻型ウェルを同時に

形成する工程①。P型シリコン基板に対して、縦型バイポーラトランジスタのコレクタとなるコレクタN⁻型ウェル、及びダイオードのN⁻型ウェルを同時に形成する工程②。縦型バイポーラトランジスタのコレクタN⁻型ウェル内にベースとなるP⁻型層、及びダイオードのN⁻型ウェル内にアノードとなるP⁻型層を同時に形成する工程③。CMOSトランジスタのP⁻型ウェルにN⁺型層、縦型バイポーラトランジスタのコレクタ接続用N⁻型ウェルにN⁺型層、縦型バイポーラトランジスタのP⁻型層にエミッタとなるN⁺型層、及びダイオードのP⁻型層にカソードとなるN⁺型層を同時に形成する工程④。CMOSトランジスタのN⁻型ウェルにP⁺型層、縦型バイポーラトランジスタのP⁻型層にP⁺型層、及びダイオードのP⁻型層にP⁺型層を同時に形成する工程⑤。

【0014】

本発明に係るESD保護装置は、工程②及び③を除き、CMOSトランジスタの製造工程で同時に製造される。工程②及び③は、同じ部分に対するイオン注入であるので、通常のCMOSトランジスタの製造工程でマスクを1枚追加するだけでよい。

【0015】

また、縦型バイポーラトランジスタのコレクタN⁻型ウェル及びダイオードのN⁻型ウェルが工程②で形成される領域に、CMOSトランジスタのゲート電極と同時にダミーゲート電極を形成する工程を、更に備えものとしてもよい。ただし、ダミーゲート電極は、工程④で形成された縦型バイポーラトランジスタ及びダイオードのN⁺型層と、工程⑤で形成された縦型バイポーラトランジスタ及びダイオードのP⁺型層とが、後工程で接続されるのを防止するものである（請求項9）。或いは、工程④で形成された縦型バイポーラトランジスタ及びダイオードのN⁺型層と、第五工程で形成された縦型バイポーラトランジスタ及びダイオードのP⁺型層とが、後工程で接続されるのを防止する絶縁膜を形成する工程を、更に備えたものとしてもよい（請求項10）。

【0016】

換言すると、本発明は、静電気破壊（ESD）から半導体装置を保護する方法として、通常のCMOSFET製造プロセスに互換性のある製造方法を用いて、

低電圧で動作するトリガ素子と縦型バイポーラトランジスタとを形成し、静電気パルスが入出力パッド又は電源パッドに印加された時に、内部のMOSトランジスタのゲート絶縁膜が破壊しないよう低電圧でトリガ素子が動作し、そのトリガ電流によって、縦型バイポーラトランジスタを動作させ、大量の電荷をシリコン基板の縦方向に逃がすことで電流集中を防止し、高いESD耐量を得られることを特徴とするESD保護装置の構造とその製造方法である。

【0017】

【発明の実施の形態】

図1乃至図3は本発明に係るESD保護装置の第一実施形態を示し、図1は回路図、図2は平面図、図3は図2におけるIII-III線縦断面図である。以下、これらの図面に基づき説明する。本実施形態のESD保護装置は、入力バッファ保護回路として動作するものである。

【0018】

本実施形態のESD保護装置は、半導体集積回路チップの入力端子（入力パッド）6とCMOSトランジスタ100との間に設けられ、入力端子6に印加された過電圧によって降伏するダイオード311、312を有するトリガ素子310と、ダイオード311、312の降伏によって導通することにより、入力端子6の蓄積電荷を放電する縦型バイポーラトランジスタ211、212を有するESD保護素子210とを備えている。なお、図2及び図3では、ESD保護素子210の一部として縦型バイポーラトランジスタ211のみ、トリガ素子310の一部としてダイオード311のみを示す。

【0019】

CMOSトランジスタ100は、NMOSトランジスタ101とPMOSトランジスタ102とからなるCMOSインバータである。ダイオード311は、カソードが入力端子6に接続され、アノードが縦型バイポーラトランジスタ211のベースに接続されている。ダイオード312は、カソードが電源端子7に接続され、アノードが縦型バイポーラトランジスタ212のベースに接続されている。ダイオード311のアノードとグランド端子8との間には、抵抗313が接続されている。ダイオード312のアノードと入力端子6との間には、抵抗314

が接続されている。縦型バイポーラトランジスタ 2 1 1, 2 1 2 は、どちらも n p n 型である。縦型バイポーラトランジスタ 2 1 1 は、コレクタが入力端子 6 に接続され、エミッタがグランド端子 8 に接続されている。縦型バイポーラトランジスタ 2 1 2 は、コレクタが電源端子 7 に接続され、エミッタが入力端子 6 に接続されている。抵抗 3 1 3, 3 1 4 は、同じ半導体集積回路チップ内に形成された単結晶シリコン、多結晶シリコン又は金属等からなる。

【 0 0 2 0 】

近年、ゲート絶縁膜の薄膜化が急速に進んでいるため、被保護素子である CMOS トランジスタ 1 0 0 のゲート絶縁膜が破壊するより低い電圧で E S D 保護素子 2 1 0 が動作する必要がある。本実施形態では、ダイオード 3 1 1, 3 1 2 の降伏電流であるトリガ電流が抵抗 3 1 3, 3 1 4 を流れるときの電圧降下により、縦型バイポーラトランジスタ 2 1 1, 2 1 2 のベース電位を上昇させて、縦型バイポーラトランジスタ 2 1 1, 2 1 2 をオンにする。これにより、入力端子 6 に蓄えられた静電気による大量の電荷を、シリコン基板の縦方向に逃がす。したがって、電流集中を防ぐことができるので、大きな E S D 耐量を得ることができる。

【 0 0 2 1 】

縦型バイポーラトランジスタ 2 1 1, 2 1 2 を備えた E S D 保護素子 2 1 0 及びダイオード 3 1 1, 3 1 2 を備えたトリガ素子 3 1 0 の形成は、通常の CMOS F E T の製造プロセスの中で、一枚のイオン注入マスクを追加するだけで実現できる。以下に、図 2 及び図 3 に基づき製造方法について説明する。

【 0 0 2 2 】

まず、E S D 保護素子 2 1 0 について説明する。CMOS トランジスタ 1 0 0 の N^+ 拡散層 1 と同時にコレクタ引き出し部 1 0 及びエミッタ 1 1 を形成し、CMOS トランジスタ 1 0 0 の P^+ 拡散層 2 と同時にベース引き出し部 1 2 を形成する。エミッタ 1 1 とベース引き出し部 1 2 とのシリサイドを分離するために、CMOS トランジスタ 1 0 0 のゲート電極 3 と同時に形成されるダミーゲート電極 1 3 を用いている。ダミーゲート電極 1 3 は、電位を与えるものではなく、シリサイドを分離するためのものである。そして、追加のイオン注入用のマスクを

用いてレジストに開口部 50 を形成し、イオン注入することにより、 P^- 領域のベース 16 とコレクタ N ウエル 17 とを同時に形成する。このとき形成したコレクタ N ウエル 17 と別途形成したコレクタ引き出し部 10 とは、CMOS トランジスタ 100 の N ウエル 5 と同時に形成する接続用 N ウエル 14 を用いて接続する。これにより、CMOS プロセスを利用して縦型バイポーラトランジスタを形成できる。なお、このときのイオン注入は、ゲート電極 3 形成の前でも後でもよい。

【0023】

トリガ素子 310 について説明する。 N^+P^- 型のダイオードは、ESD 保護素子 210 のエミッタ 11 及びベース 16 と同じ構造で、CMOS トランジスタ 100 の N^+ 拡散層 1 と同時に N^+ 部 21 を、CMOS トランジスタ 100 の P^+ 拡散層 2 と同時に P^- 部 26 の引き出し部 22 を形成する。これにより、所望のトリガ電圧及び逆方向リークレベルを設定できるようになる。

【0024】

図 4 乃至図 6 は本実施形態の ESD 保護装置の製造方法を示す断面図である。以下、図 3 乃至図 6 に基づき、本実施形態の ESD 保護装置の製造方法を詳しく説明する。

【0025】

まず、図 4 に示すように、CMOS トランジスタ 100 の N ウエル 5 形成と同時に、ESD 保護素子 210 のコレクタ引き出し部 10 との接続用 N ウエル 14 を形成する。この領域のドーピング濃度は、約 $10^{17} \text{ cm}^{-3} \sim 10^{18} \text{ cm}^{-3}$ である。また、CMOS トランジスタ 100 のゲート電極 3 の形成と同時に、ESD 保護素子 210 のダミーゲート電極 13、及びトリガ素子 310 のダミーゲート電極 23 を形成する。これは、ESD 保護素子 210 のエミッタ 11 とベース引き出し部 12 とが、後で拡散層上に形成されるシリサイドにより接続されてしまうのを防止するためである。同様に、トリガ素子 310 の N^+ 部 21 と引き出し部 22 とが、後でシリサイドにより接続されるのを防止するためである。

【0026】

続いて、図5に示すように、所定形状のレジストの開口部50をマスクとして、ESD保護素子210のベース16を形成するためのイオン注入を約 10^{18} cm^{-3} で行い、続いて、コレクタNウェル17を形成するためのイオン注入を約 10^{18} cm^{-3} で行う。このとき、トリガ素子310の P^- 部26及びNウェル27も同時に形成される。

【0027】

続いて、図6に示すように、CMOSトランジスタ100の N^+ 拡散層1の形成と同時に、コレクタ引き出し部10、エミッタ11、 N^+ 部21等を形成する。

【0028】

続いて、図3に示すように、CMOSトランジスタ100の P^+ 拡散層2と同時に、ベース引き出し部12、引き出し部22等を形成する。最後に、これらの上層に配線を形成することにより、図1に示す回路を形成する。

【0029】

次に、本実施形態のESD保護装置の動作を、図1及び図3に基づき説明する。

【0030】

入力端子6に対して静電気パルスが印加された時の動作を説明する。まず、グランド端子8に対して正のESDのパルスが入力端子6に印加された時、ESD保護素子210、トリガ素子310、そしてCMOSトランジスタ100のゲート絶縁膜に高電圧が印加される。そのため、CMOSトランジスタ100のゲート絶縁膜が破壊する前に、ESD保護素子210が動作することにより、ESDによる電荷を速やかに逃がす必要がある。

【0031】

CMOSトランジスタ100のゲート絶縁膜が4 nmであるとする、定電圧によるストレスでは約8 Vでゲート絶縁膜は破壊してしまう。つまり、これより低い電圧でESD保護素子210が動作する必要がある。しかし、縦型バイポーラトランジスタであるESD保護素子210を形成した場合、コレクタNウェル17とベース16と間の耐圧は10 V程度あるので、これだけではゲート絶縁膜

が薄い微細なCMOSトランジスタ100を保護することはできない。

【0032】

そこで、電源電圧以上のなるべく低い電圧で動作するトリガ素子310が必要になる。トリガ素子310は、 P^- 部26をイオン注入によって形成しているため、そのドーズ量を制御することで所望のトリガ電圧又は逆方向のリークレベルを設定することができ、4V程度のトリガ電圧を得ることはたやすい。

【0033】

図7に、パッドにESDの静電パルスが印加されたときの電流電圧特性を示す。まず4V程度でトリガ素子310が動作すると、そのトリガ電流及び抵抗313がESD保護素子210のベース電位を上昇させて、ESD保護素子210を動作させる。ESD保護素子210が動作すると、ESDにより入力端子6に印加された電荷を縦型バイポーラトランジスタ211を使って、グランド端子8に逃がすことができる。このため、内部回路のCMOSトランジスタ100のゲート絶縁膜の耐圧が8Vとすると、それより低い電圧で電荷を逃がすことができるので、ゲート絶縁膜の破壊を防止できる。

【0034】

また、グランド端子8に対して負のESDのパルスが入力端子6に印加された時は、図3に示すESD保護素子210のコレクタNウエル17とP基板51とが、 N^+P^- の順方向になるため、速やかに電荷を逃がすことができる。

【0035】

図8に、本実施形態のESD保護装置を用いた場合と、従来のMOSトランジスタの横型寄生バイポーラトランジスタを用いた場合との、単位長さあたりの破壊電流値を示す。本実施形態の縦型バイポーラトランジスタからなるESD保護素子の破壊電流値は、横型バイポーラトランジスタのものより大きい。また、内部のゲート絶縁膜厚が2nm程度に薄くなると、横型バイポーラトランジスタは破壊電流値が急激に減少するが、縦型バイポーラトランジスタにおいてはその減少は僅かである。

【0036】

図9は、本発明に係るESD保護装置の第二実施形態を示す回路図である。以

下、この図面に基づき説明する。本実施形態のESD保護装置は、電源保護回路として動作するものである。

【0037】

本実施形態のESD保護装置は、半導体集積回路チップの電源端子（電源パッド）7と内部回路103との間に設けられ、電源端子7に印加された過電圧によって降伏するダイオード316を有するトリガ素子315と、ダイオード316の降伏によって導通することにより、電源端子7の蓄積電荷を放電する縦型バイポーラトランジスタ214を有するESD保護素子213とを備えている。

【0038】

ダイオード316は、カソードが電源端子7に接続され、アノードが縦型バイポーラトランジスタ214のベースに接続されている。ダイオード316のアノードとグランド端子8との間には、抵抗317が接続されている。縦型バイポーラトランジスタ214は、npn型であり、コレクタが電源端子7に接続され、エミッタがグランド端子8に接続されている。

【0039】

平面図及び断面図は、符号を除き図2及び図3と同じである。したがって、本実施形態のESD保護装置も、第一実施形態と同等の作用及び効果を奏する。

【0040】

図10乃至図15は本発明に係るESD保護装置の第三実施形態を示し、図10は平面図、図11は図10におけるXI-XI線縦断面図、図12乃至図15は製造方法を示す断面図である。以下、これらの図面に基づき説明する。ただし、図2乃至図6と同じ部分は同じ符号を付すことにより説明を省略する。

【0041】

本実施形態のESD保護装置は、シリサイド分離用のダミーゲート電極13，23（図2及び図3）に代えて、抵抗素子形成用などにシリサイドが形成されないよう拡散層上を覆う絶縁膜18，28（ SiO_2 又は SiN など）を用いた場合である。

【0042】

まず、図12に示すように、CMOSトランジスタ100のNウェル5の形成

と同時に、E S D保護素子 2 0 0 のコレクタ引き出し部 1 0 との接続用 N ウェル 1 4 を形成する。

【 0 0 4 3 】

続いて、図 1 3 に示すように、所定形状のレジストの開口部 5 0 をマスクとして、E S D保護素子 2 0 0 のベース 1 6 を形成するためのイオン注入を行い、続いて、コレクタ N ウェル 1 7 を形成するためのイオン注入を行う。このとき、トリガ素子 3 0 0 の P⁻部 2 6 及び N ウェル 2 7 も同時に形成される。

【 0 0 4 4 】

続いて、図 1 4 に示すように、CMOS トランジスタ 1 0 0 の N⁺ 拡散層 1 の形成と同時に、コレクタ引き出し部 1 0 、エミッタ 1 1 、N⁺部 2 1 等を形成する。

【 0 0 4 5 】

続いて、図 1 5 に示すように、CMOS トランジスタ 1 0 0 の P⁺ 拡散層 2 と同時に、ベース引き出し部 1 2 、引き出し部 2 2 等を形成する。

【 0 0 4 6 】

続いて、図 1 1 に示すように、E S D保護素子 2 0 0 において絶縁膜 1 8 、及びトリガ素子 3 1 0 において絶縁膜 2 8 を形成する。これは、E S D保護素子 2 0 0 のエミッタ 1 1 とベース引き出し部 1 2 とが、後で拡散層上に形成されるシリサイドにより接続されてしまうのを防止するためである。同様に、トリガ素子 3 0 0 の N⁺部 2 1 と引き出し部 2 2 とが、シリサイドで接続されるのを防止するためである。

【 0 0 4 7 】

最後に、これらの上層で配線を形成することにより、図 1 に示す回路を形成する。

【 0 0 4 8 】

図 1 6 乃至図 1 8 は本発明に係る E S D保護装置の第四実施形態を示し、図 1 6 は回路図、図 1 7 は平面図、図 1 8 は図 1 7 における XVIII-XVIII 線縦断面図である。以下、これらの図面に基づき説明する。本実施形態の E S D保護装置は、トリガ素子もまた E S D保護素子の縦型バイポーラトランジスタとして動作さ

せるものである。

【 0 0 4 9 】

本実施形態の E S D 保護装置は、半導体集積回路チップの電源端子（電源パッド）7 と内部回路 1 0 3 との間に設けられ、電源端子 7 に印加された過電圧によって降伏するダイオード 4 0 2 を有するトリガ素子 4 0 0 と、ダイオード 4 0 2 の降伏によって導通することにより、電源端子 7 の蓄積電荷を放電する縦型バイポーラトランジスタ 2 0 1 を有する E S D 保護素子 2 0 0 とを備えている。

【 0 0 5 0 】

ダイオード 4 0 2 は、縦型バイポーラトランジスタ 4 0 1 のコレクタ⁻ベース間である。ダイオード 4 0 2 のカソードすなわち縦型バイポーラトランジスタ 4 0 1 のコレクタは電源端子 7 に接続され、ダイオード 4 0 2 のアノードすなわち縦型バイポーラトランジスタ 4 0 1 のベースが縦型バイポーラトランジスタ 2 0 1 のベースに接続されている。ダイオード 4 0 2 のアノードすなわち縦型バイポーラトランジスタ 4 0 1 のベースとグランド端子 8 との間には、抵抗 4 0 3 が接続されている。縦型バイポーラトランジスタ 2 0 1, 4 0 2 は、n p n 型であり、コレクタが電源端子 7 に接続され、エミッタがグランド端子 8 に接続されている。

【 0 0 5 1 】

本実施形態では、トリガ素子 4 0 0 にもエミッタ引き出し部 4 0 を設け、図 1 6 及び図 1 8 のように接続する。このように接続すると、トリガ素子 4 0 0 にも縦型バイポーラトランジスタ 4 0 1 が形成されるので、トリガ素子 4 0 0 が E S D 保護素子としても動作することになる。トリガ素子 4 0 0 の N⁺部（コレクタ）4 1 と P⁻部（ベース）4 6 とからなるダイオード 4 0 2 のトリガ電流及び抵抗 4 0 3 によって、縦型バイポーラトランジスタ 2 0 1, 4 0 1 のベース電位が上昇し、これらが共に動作することにより、電源端子 7 の静電気による電荷を両方で逃がすことができる。なお、本実施形態の E S D 保護装置は、電源パッドに適用させているが、第一実施形態と同じように二個設けることにより入力パッド又は出力パッドに適用させてもよい。

【 0 0 5 2 】

図 1 9 及び図 2 0 は本実施形態の E S D 保護装置の製造方法を示す断面図である。以下、図 1 8 乃至図 2 0 に基づき、本実施形態の E S D 保護装置の製造方法を詳しく説明する。

【 0 0 5 3 】

まず、CMOS トランジスタ 1 0 0 の N ウェル 5 の形成と同時に、E S D 保護素子 2 0 0 のコレクタ引き出し部 1 0 との接続用ウェル 1 4、及びトリガ素子 4 0 0 のエミッタ接続用 N ウェル 4 4 を形成する。

【 0 0 5 4 】

続いて、図 1 9 に示すように、所定形状のレジストの開口部 5 0 をマスクとして、E S D 保護素子 2 0 0 のベース 1 6 を形成するためのイオン注入を行い、続いてコレクタ N ウェル 1 7 を形成するためのイオン注入を行う。このとき、トリガ素子 4 0 0 の P⁻部 4 6 及びエミッタ N ウェル 4 7 も同時に形成される。

【 0 0 5 5 】

続いて、図 2 0 に示すように、CMOS トランジスタの N⁺ 拡散層 1 の形成と同時に、E S D 保護素子 2 0 0 のコレクタ引き出し部 1 0 及びエミッタ 1 1、並びにトリガ素子 4 0 0 のエミッタ引き出し部 4 0 及びコレクタ 4 1 を形成する。続いて、CMOS トランジスタ 1 0 0 の P⁺ 拡散層 2 と同時に、ベース引き出し部 1 2、及びトリガ素子 4 0 0 のベースとなる P⁻部 4 6 の引き出し部 4 2 を形成する。

【 0 0 5 6 】

続いて、E S D 保護素子 2 0 0 の絶縁膜 1 8 及びトリガ素子 4 0 0 の絶縁膜 4 8 を形成する。これは、E S D 保護素子 2 0 0 のエミッタ 1 1 とベース引き出し部 1 2 が、後で拡散層上に形成されるシリサイドにより接続されてしまうのを防止するためである。同様に、トリガ素子 4 0 0 の N⁺部 4 1 と引き出し部 4 2 と、シリサイドで接続されるのを防止するためである。

【 0 0 5 7 】

最後に、これらの上層で配線を形成することにより、図 1 6 の回路を形成する。

【 0 0 5 8 】

図 2 1 及び図 2 2 は本発明に係る E S D 保護装置の第五実施形態を示し、図 2 1 は平面図、図 2 2 は図 2 1 における XXII-XXII 線縦断面図である。以下、これらの図面に基づき説明する。本実施形態の E S D 保護装置は、面積を縮小するために、E S D 保護素子のコレクタを共通化したものである。

【 0 0 5 9 】

本実施形態における E S D 保護素子 2 3 0 は、図 1 0 及び図 1 1 に示す第三実施形態における E S D 保護素子 2 0 0 の二つのコレクタ N ウェル 1 7 を共通化して、一つのコレクタ N ウェル 1 7' としたものである。そして、コレクタ N ウェル 1 7' の両端のみでコレクタ引き出し部 1 0 を用いることにより、面積縮小を図っている。また、本実施形態の E S D 保護装置の製造方法は、図 1 2 乃至図 1 5 に示す第三実施形態と同じである。

【 0 0 6 0 】

図 2 3 及び図 2 4 は本発明に係る E S D 保護装置の第六実施形態を示し、図 2 3 は平面図、図 2 4 は図 2 3 における XXIV-XXIV 線縦断面図である。以下、これらの図面に基づき説明する。本実施形態の E S D 保護装置は、面積を縮小するために、E S D 保護素子及びトリガ素子を共通化したものである。

【 0 0 6 1 】

本実施形態における E S D 保護素子 2 4 0 及びトリガ素子 3 1 0 は、図 1 0 及び図 1 1 に示す第三実施形態における E S D 保護素子 2 0 0 及びトリガ素子 3 0 0 の二つのベース 1 6 及び P⁻部 2 6 を共通化して一つのベース 1 6' とするとともに、第三実施形態における E S D 保護素子 2 0 0 及びトリガ素子 3 0 0 の二つのコレクタ N ウェル 1 7 及び N ウェル 2 7 を共通化して一つのコレクタ N ウェル 1 9 としたものである。そして、E S D 保護素子 2 4 0 のコレクタ引き出し部 1 0 を、その両端のみとすることにより、面積縮小を図っている。また、本実施形態の E S D 保護装置の製造方法は、図 1 2 乃至図 1 5 に示す第三実施形態と同じである。

【 0 0 6 2 】

図 2 5 は本発明に係る E S D 保護装置の第七実施形態を示す縦断面図である。以下、この図面に基づき説明する。本実施形態の E S D 保護装置は、より低い電

圧でトリガ可能なトリガ素子としたものである。

【 0 0 6 3 】

本実施形態における E S D 保護装置は、トリガ素子 3 1 0 のダミーゲート電極 2 3 がグラウンドに固定されている点を除き、第一実施形態と同じである。トリガ素子 3 1 0 のダミーゲート電極 2 3 をグラウンドに固定すると、 N^+ 部 2 1 とダミーゲート電極 2 3 との間の電界が強くなるので、より低い電圧でトリガするようになる。

【 0 0 6 4 】

なお、本発明は、言うまでもなく、上記第一乃至第七実施形態に限定されるものではない。例えば、P 型とあるのを N 型、かつ N 型とあるのを P 型としてもよい。

【 0 0 6 5 】

【発明の効果】

本発明に係る E S D 保護装置によれば、ダイオードの降伏電圧を縦型バイポーラトランジスタのトリガとしたことにより、縮小化しても接合部での電流集中及び電界集中が起きにくく、しかも低電圧でトリガする特性を容易に実現できる。本発明に係る E S D 保護装置の製造方法によれば、通常の C M O S プロセスにマスクを 1 枚追加するだけで、本発明に係る E S D 保護装置を容易に製造できる。

【 0 0 6 6 】

換言すると、本発明の効果は次のとおりである。第 1 の効果は、縦型バイポーラトランジスタを使って、縦方向に電流を逃がすことにより、従来の C M O S F E T の寄生バイポーラトランジスタを使用した横方向に電流を流すものに比べて、電流集中が少ないため、E S D 保護素子自身が破壊しにくい。第 2 の効果は、同じ面積で放電できる電流が大きいため、E S D 保護素子のために必要な面積を縮小できるので、高速動作のために必要である入力容量の低減が可能である。第 3 の効果は、B i C M O S プロセスを用いることなく、一般的な C M O S F E T のプロセスに、E S D 保護回路のためのイオン注入マスクを 1 枚追加するだけで、縦型バイポーラトランジスタ及びトリガ素子を形成できるので、C M O S F E T 互換プロセスで製造できる。第 4 の効果は、低電圧で動作するトリガ素子を有

しているため、CMOS FETのゲート絶縁膜の破壊を防止できる。第5の効果は、所望の電圧でトリガする素子を形成することが可能である。

【図面の簡単な説明】

【図1】

本発明に係るESD保護装置の第一実施形態を示す回路図である。

【図2】

図1のESD保護装置の平面図である。

【図3】

図2におけるIII-III線縦断面図である。

【図4】

図2及び図3のESD保護装置の製造方法を示す断面図である。

【図5】

図2及び図3のESD保護装置の製造方法を示す断面図である。

【図6】

図2及び図3のESD保護装置の製造方法を示す断面図である。

【図7】

図1のESD保護装置における、パッドにESDの静電パルスが印加されたときの電流電圧特性を示すグラフである。

【図8】

図1のESD保護装置を用いた場合と、従来のMOSトランジスタの横型寄生バイポーラトランジスタを用いた場合との、単位長さあたりの破壊電流値を示すグラフである。

【図9】

本発明に係るESD保護装置の第二実施形態を示す回路図である。

【図10】

本発明に係るESD保護装置の第三実施形態を示す平面図である。

【図11】

図10におけるXI-XI線縦断面図である。

【図12】

図 1 0 及び図 1 1 の E S D 保護装置の製造方法を示す断面図である。

【図 1 3】

図 1 0 及び図 1 1 の E S D 保護装置の製造方法を示す断面図である。

【図 1 4】

図 1 0 及び図 1 1 の E S D 保護装置の製造方法を示す断面図である。

【図 1 5】

図 1 0 及び図 1 1 の E S D 保護装置の製造方法を示す断面図である。

【図 1 6】

本発明に係る E S D 保護装置の第四実施形態を示す回路図である。

【図 1 7】

図 1 6 の E S D 保護装置を示す平面図である。

【図 1 8】

図 1 7 における XVIII-XVIII 線縦断面図である。

【図 1 9】

図 1 6 の E S D 保護装置の製造方法を示す断面図である。

【図 2 0】

図 1 6 の E S D 保護装置の製造方法を示す断面図である。

【図 2 1】

本発明に係る E S D 保護装置の第五実施形態を示す平面図である。

【図 2 2】

図 2 1 における XXII-XXII 線縦断面図である。

【図 2 3】

本発明に係る E S D 保護装置の第六実施形態を示す平面図である。

【図 2 4】

図 2 3 における XXIV-XXIV 線縦断面図である。

【図 2 5】

本発明に係る E S D 保護装置の第七実施形態を示す断面図である。

【図 2 6】

従来技術における、パッドに E S D の静電パルスが印加されたときの電流電圧

特性を示すグラフである。

【符号の説明】

6 入力端子（パッド）

7 電源端子（パッド）

8 グランド端子（パッド）

3 1 1, 3 1 2, 3 1 6, 4 0 2 ダイオード

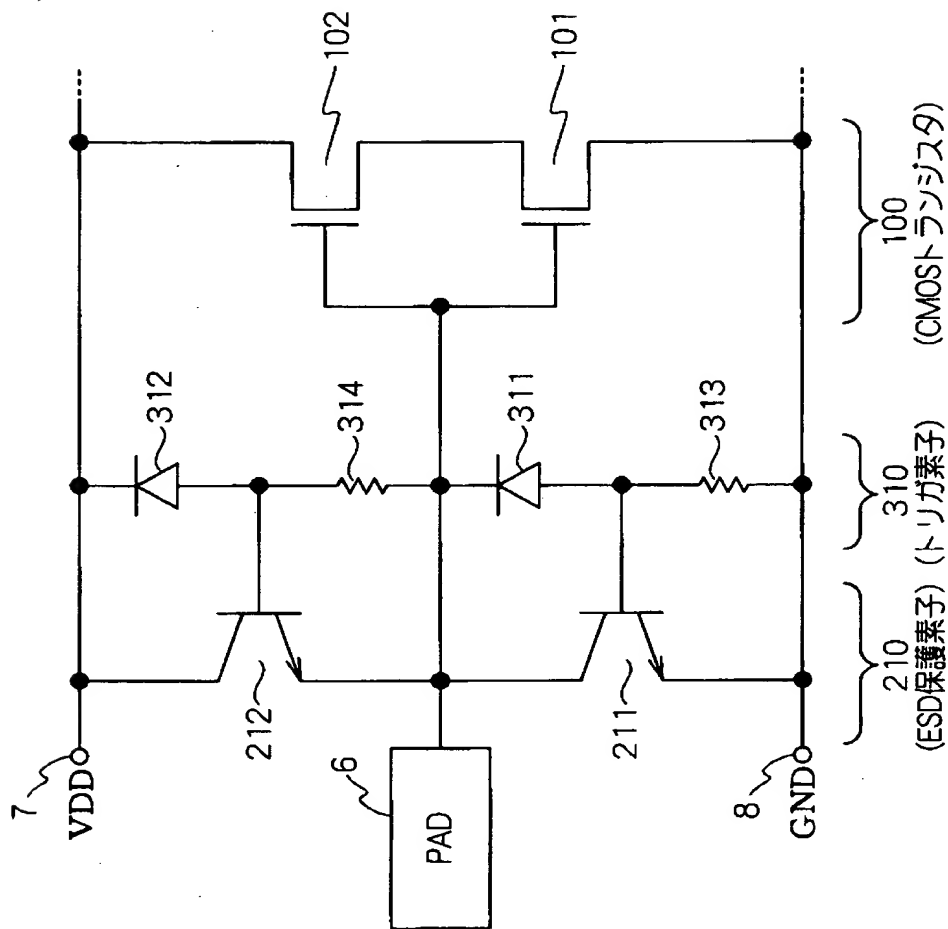
3 0 0, 3 1 0, 3 1 5, 4 0 0 トリガ素子

2 0 1, 2 1 1, 2 1 2, 2 1 4 縦型バイポーラトランジスタ

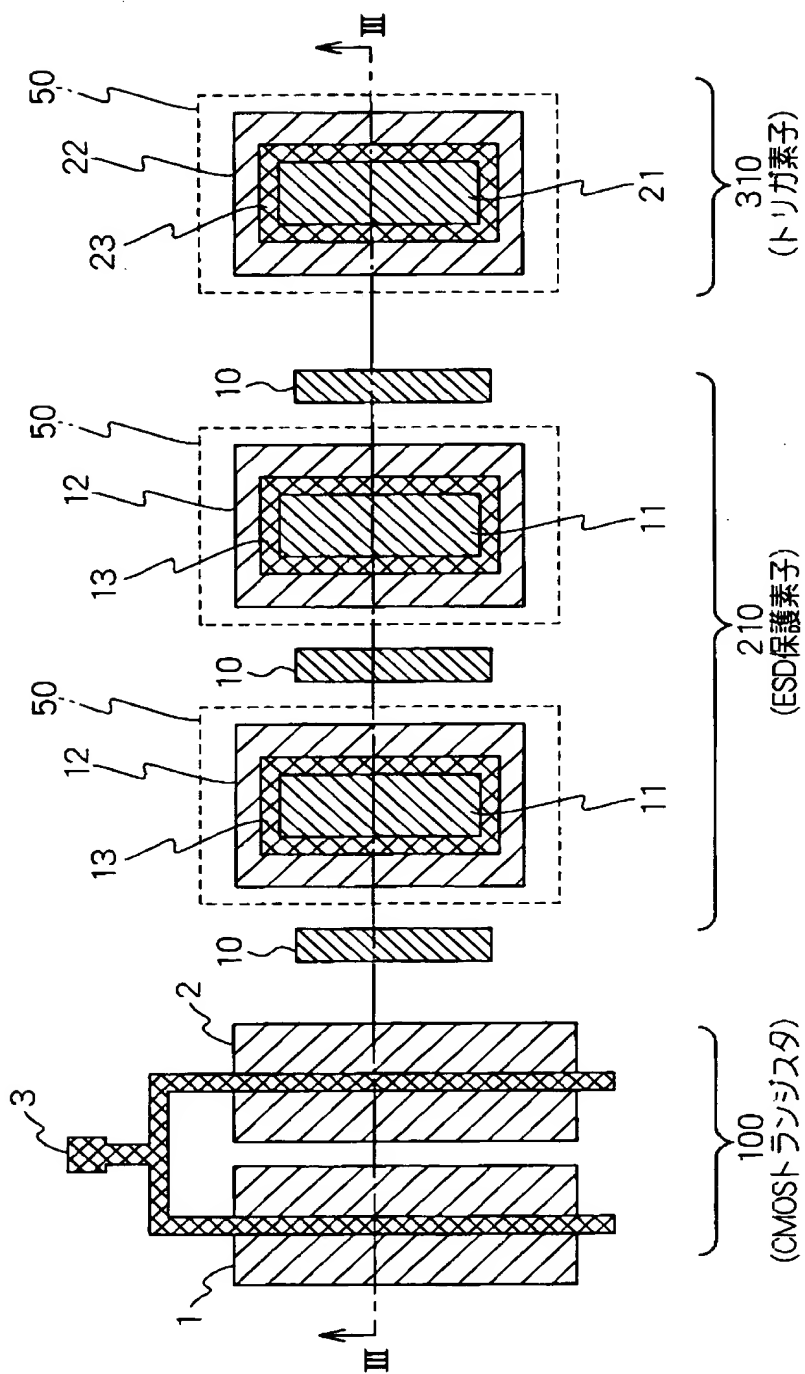
2 0 0, 2 1 0, 2 1 3, 2 3 0, 2 4 0 ESD保護素子

【書類名】 図面

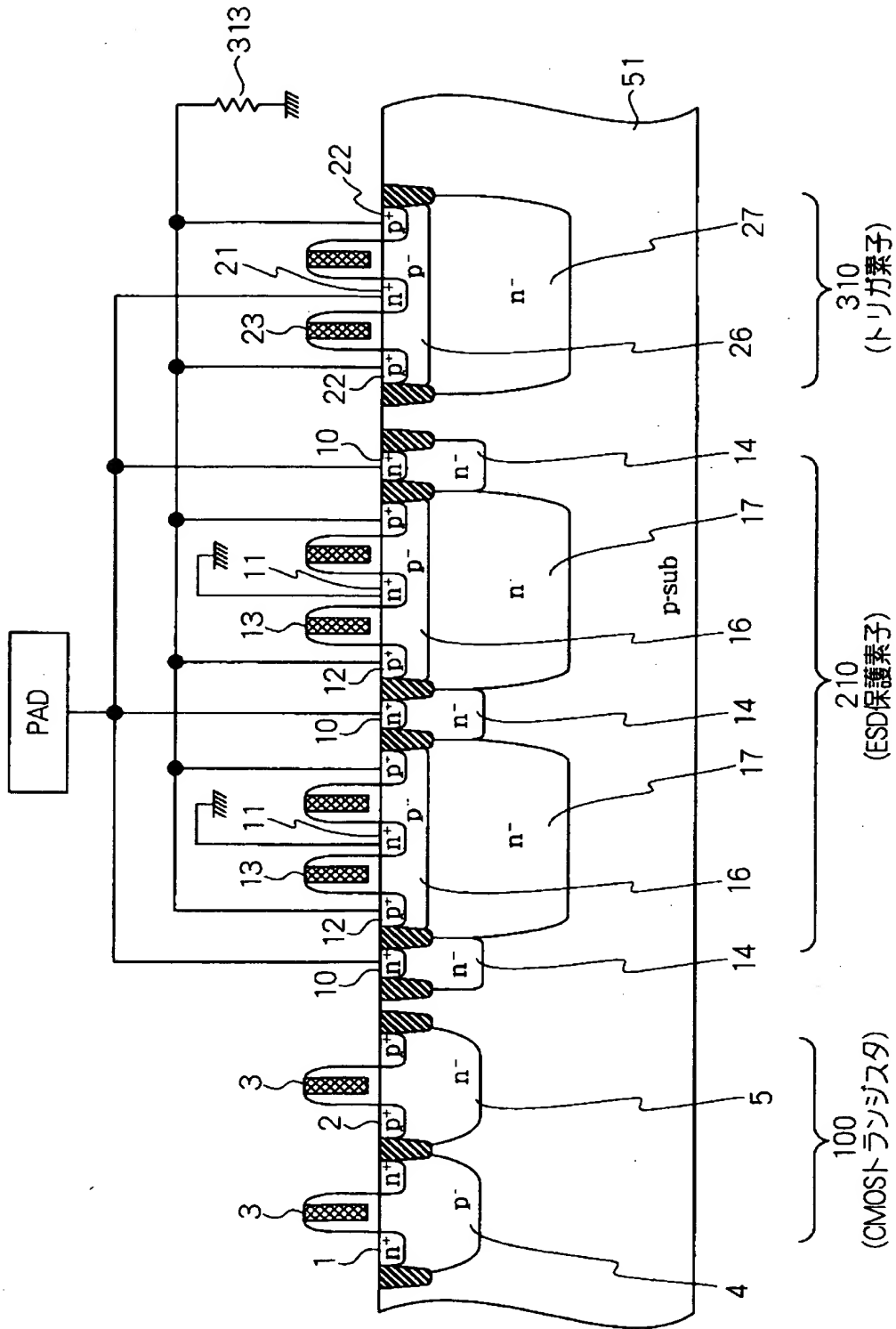
【図 1】



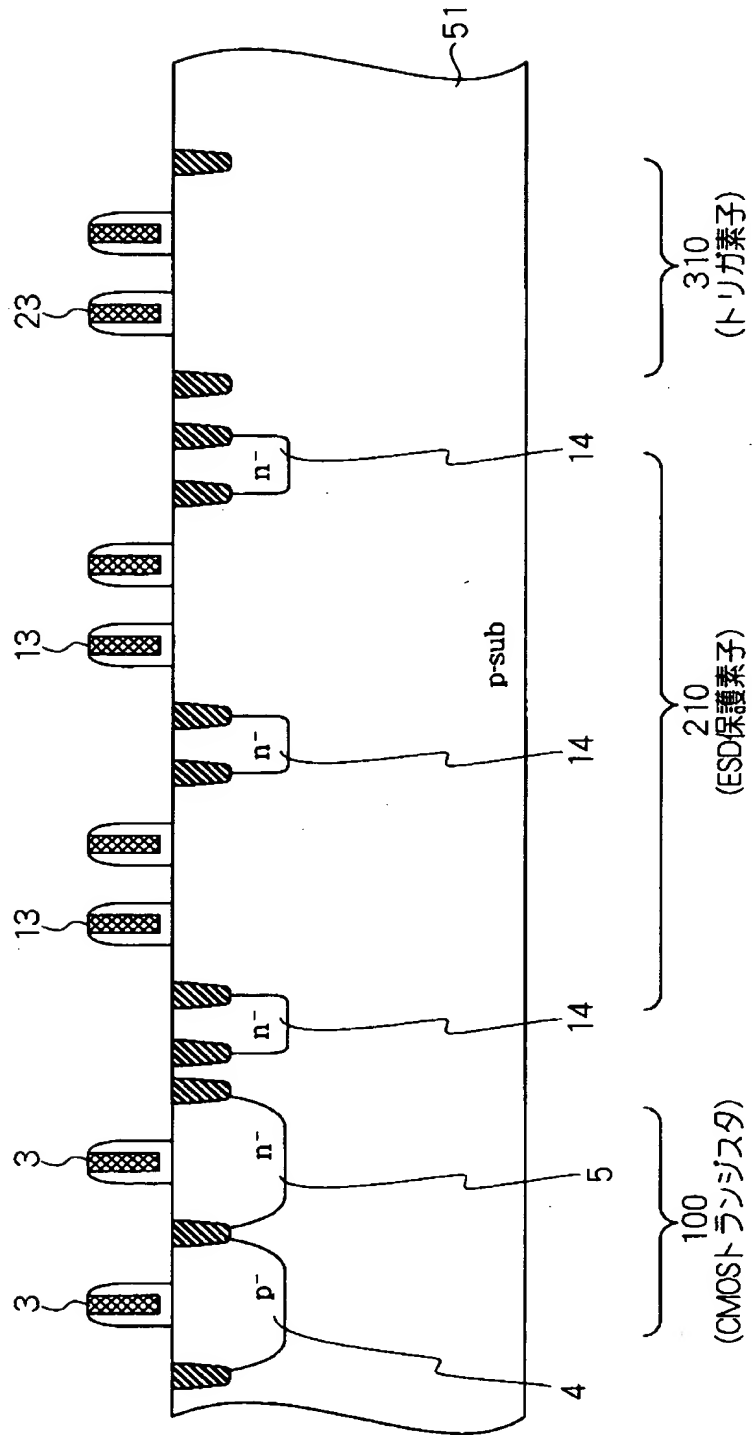
【図 2】



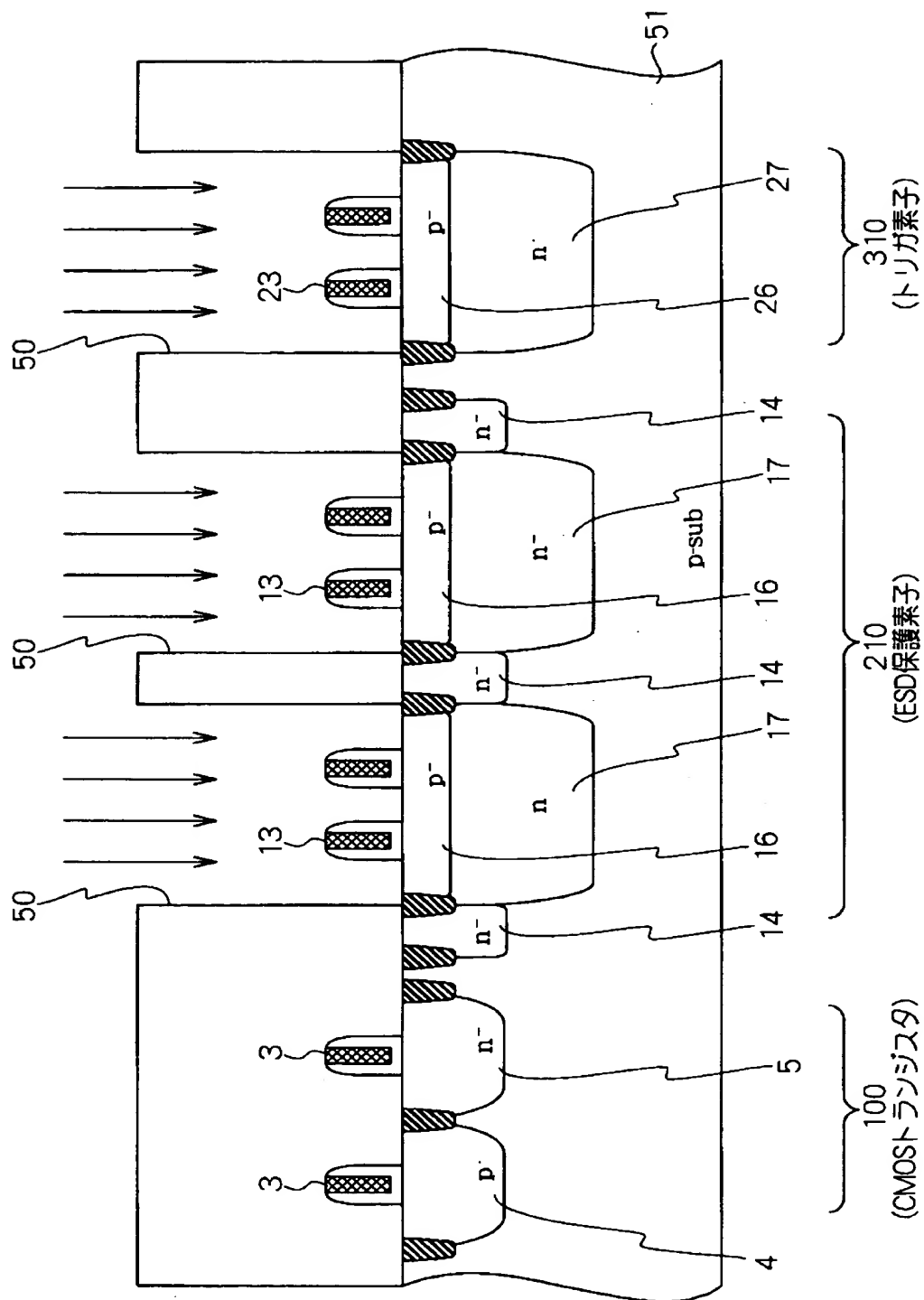
【図3】



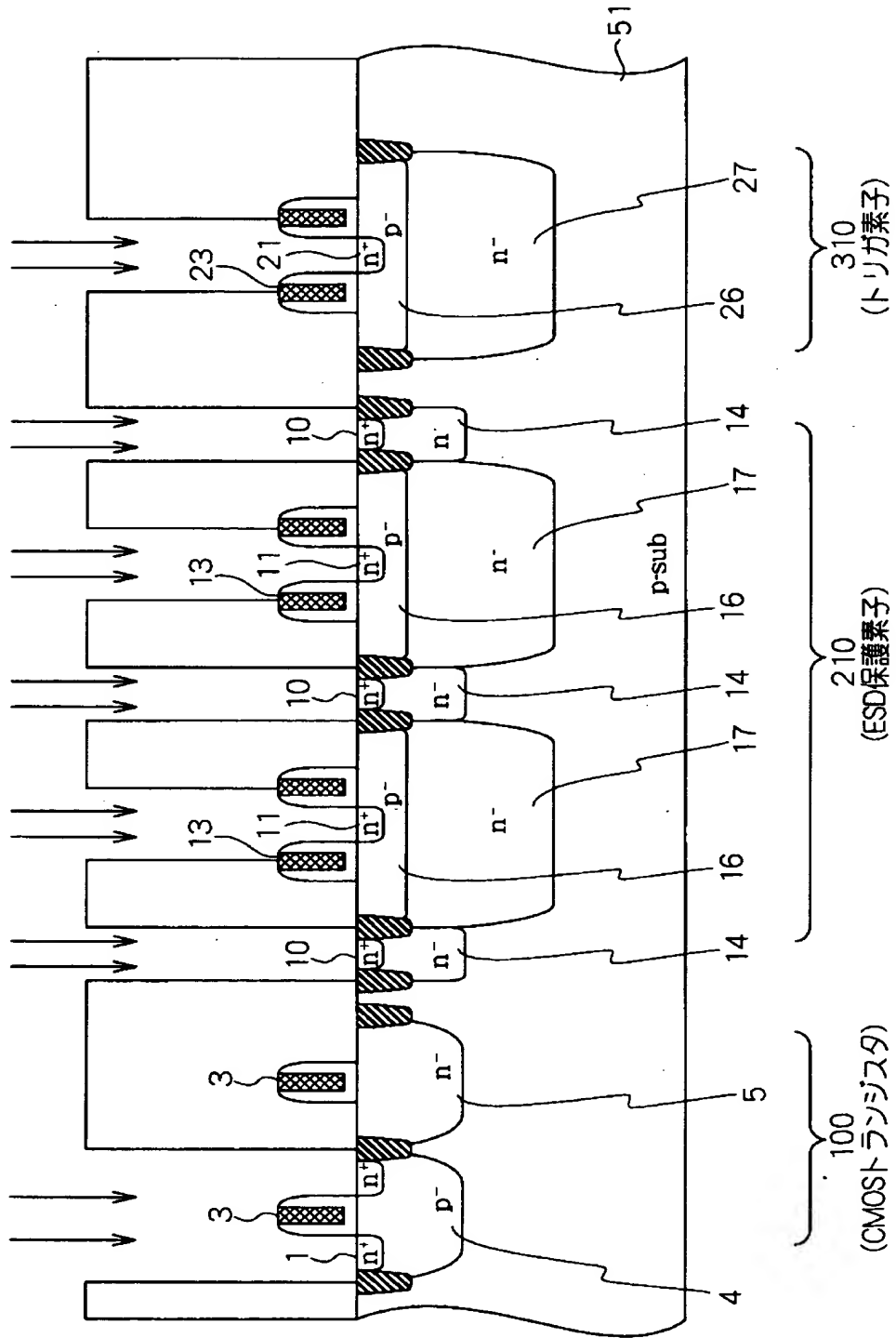
【図 4】



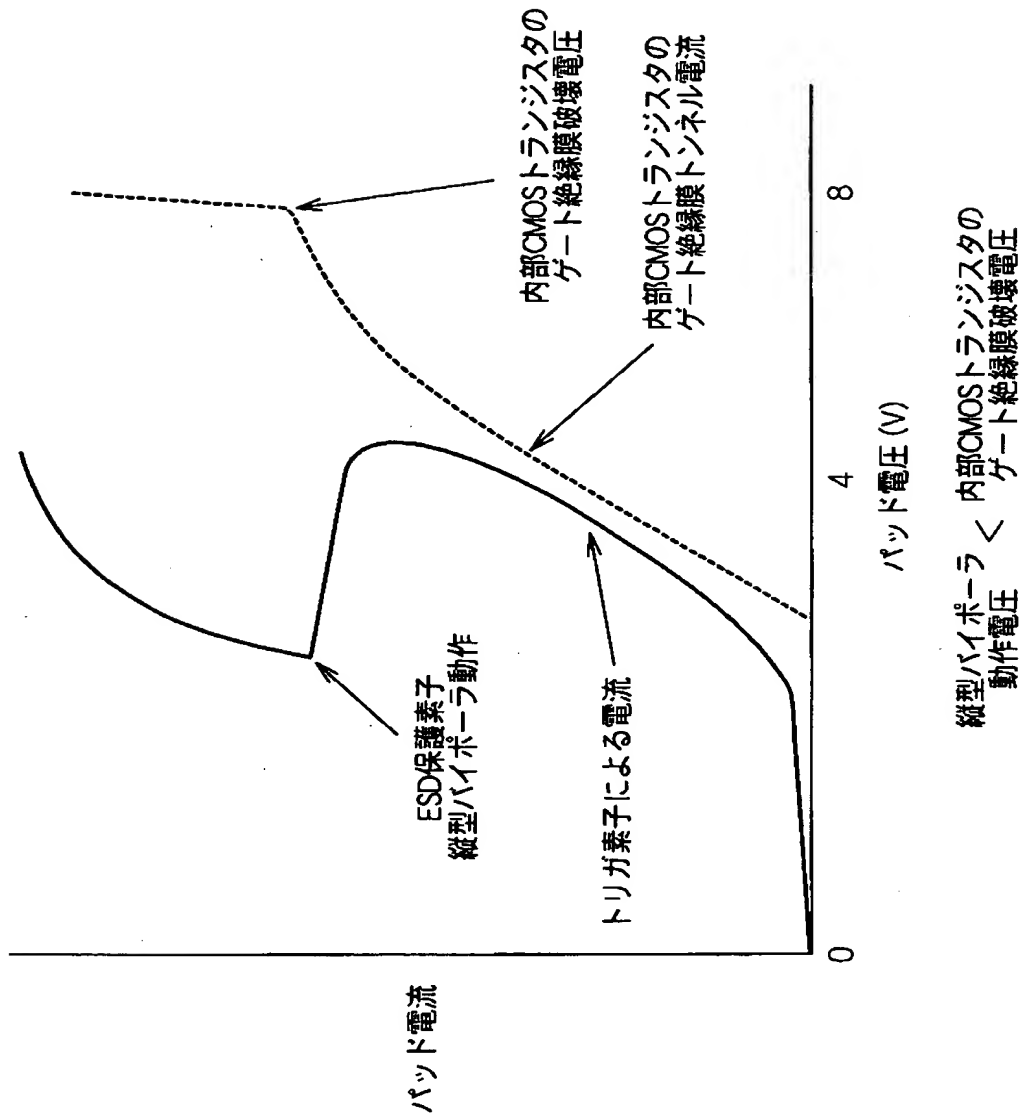
【図5】



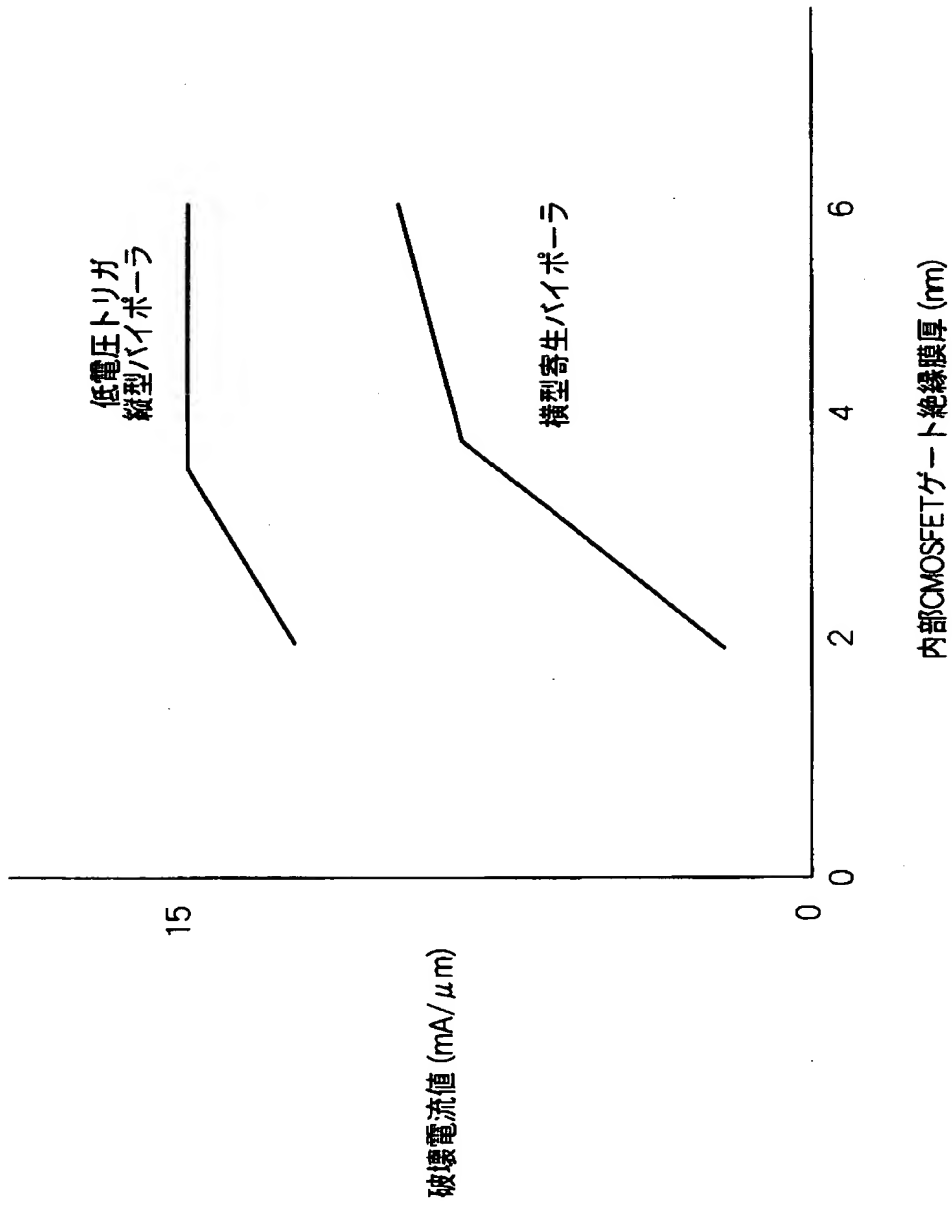
【図6】



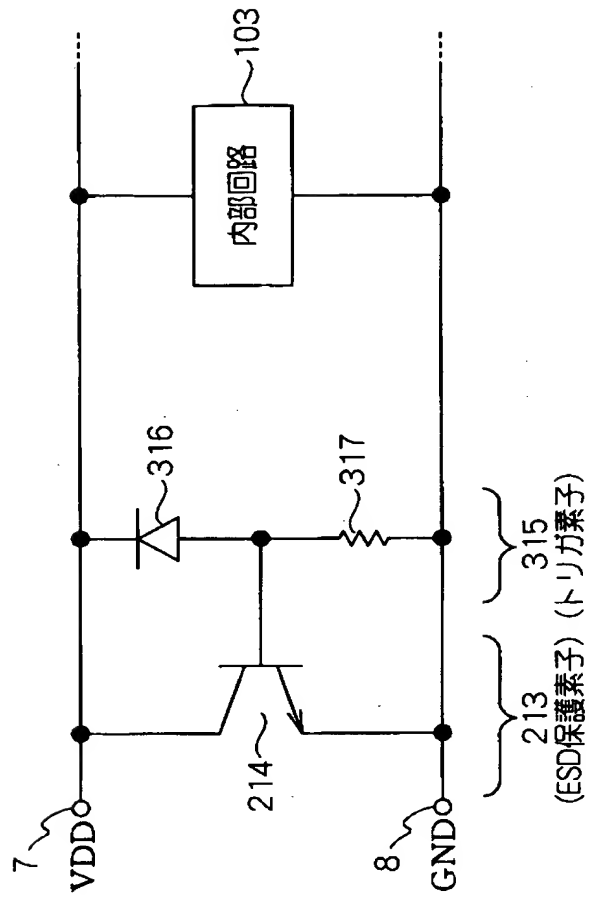
【図 7】



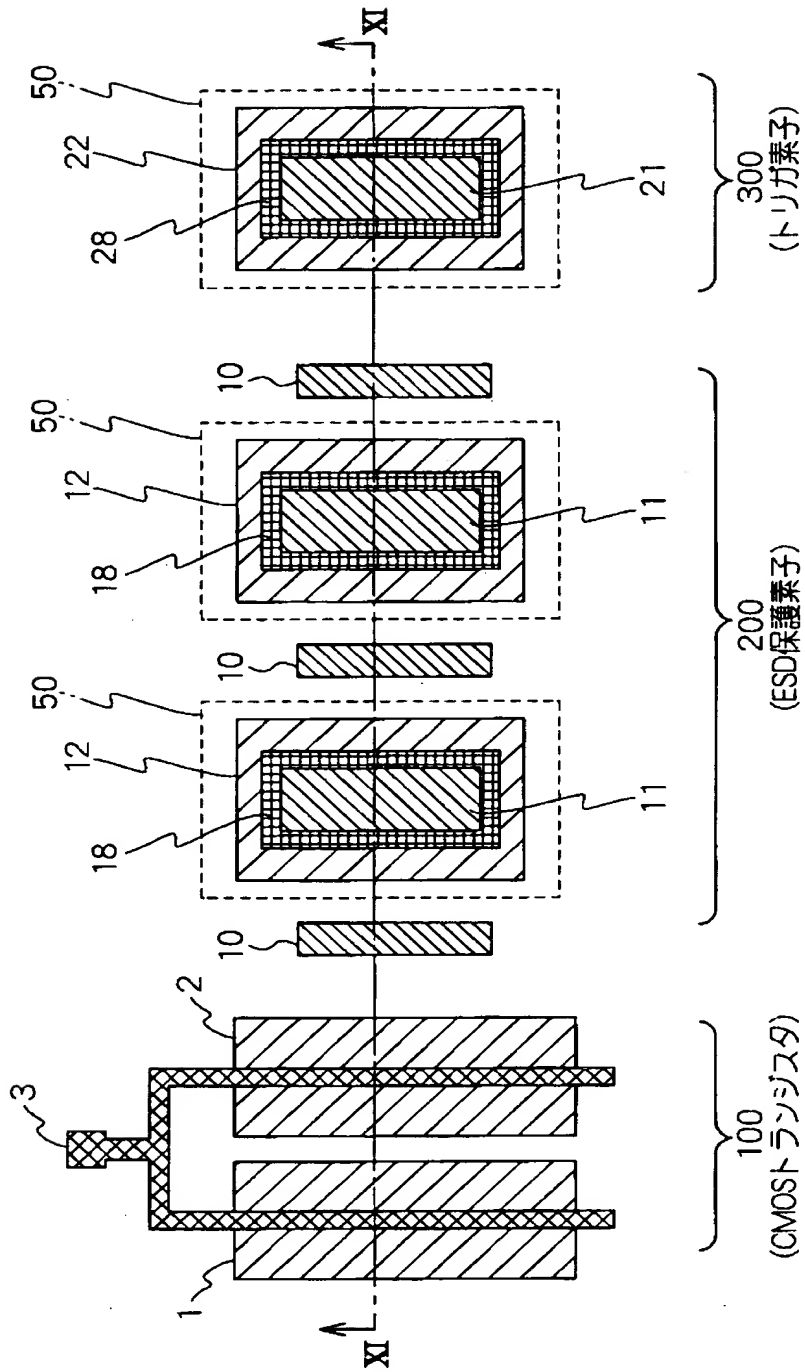
【図 8】



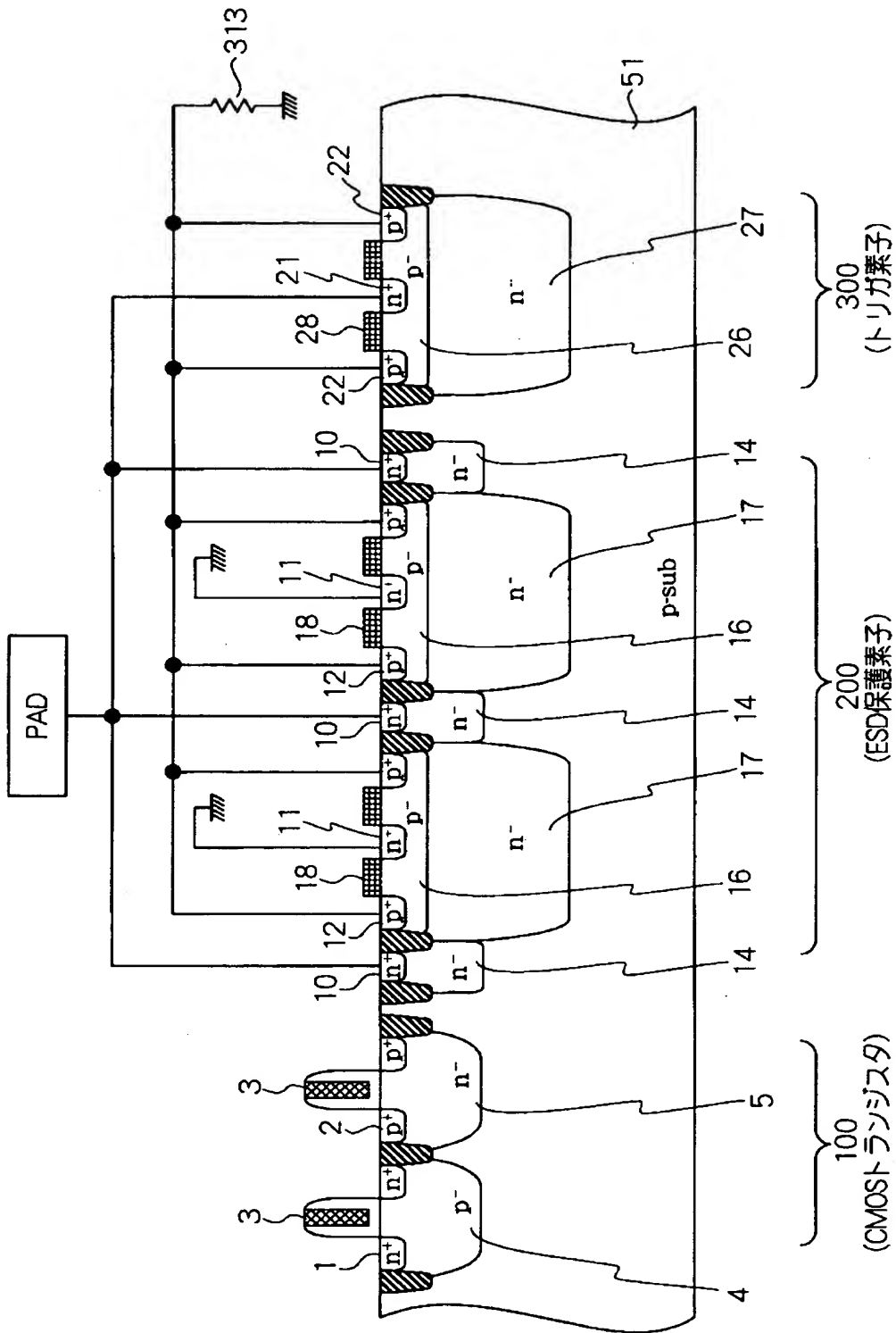
【図 9】



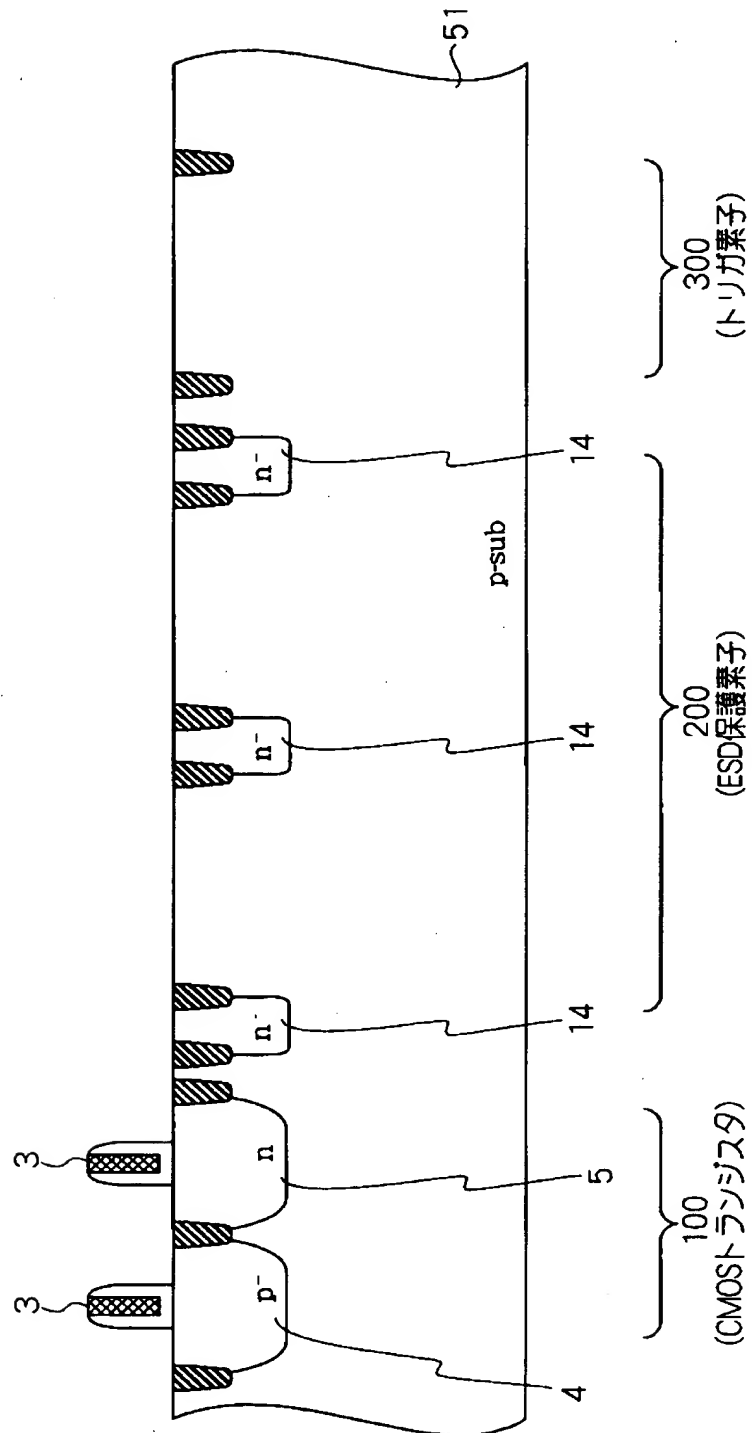
【図10】



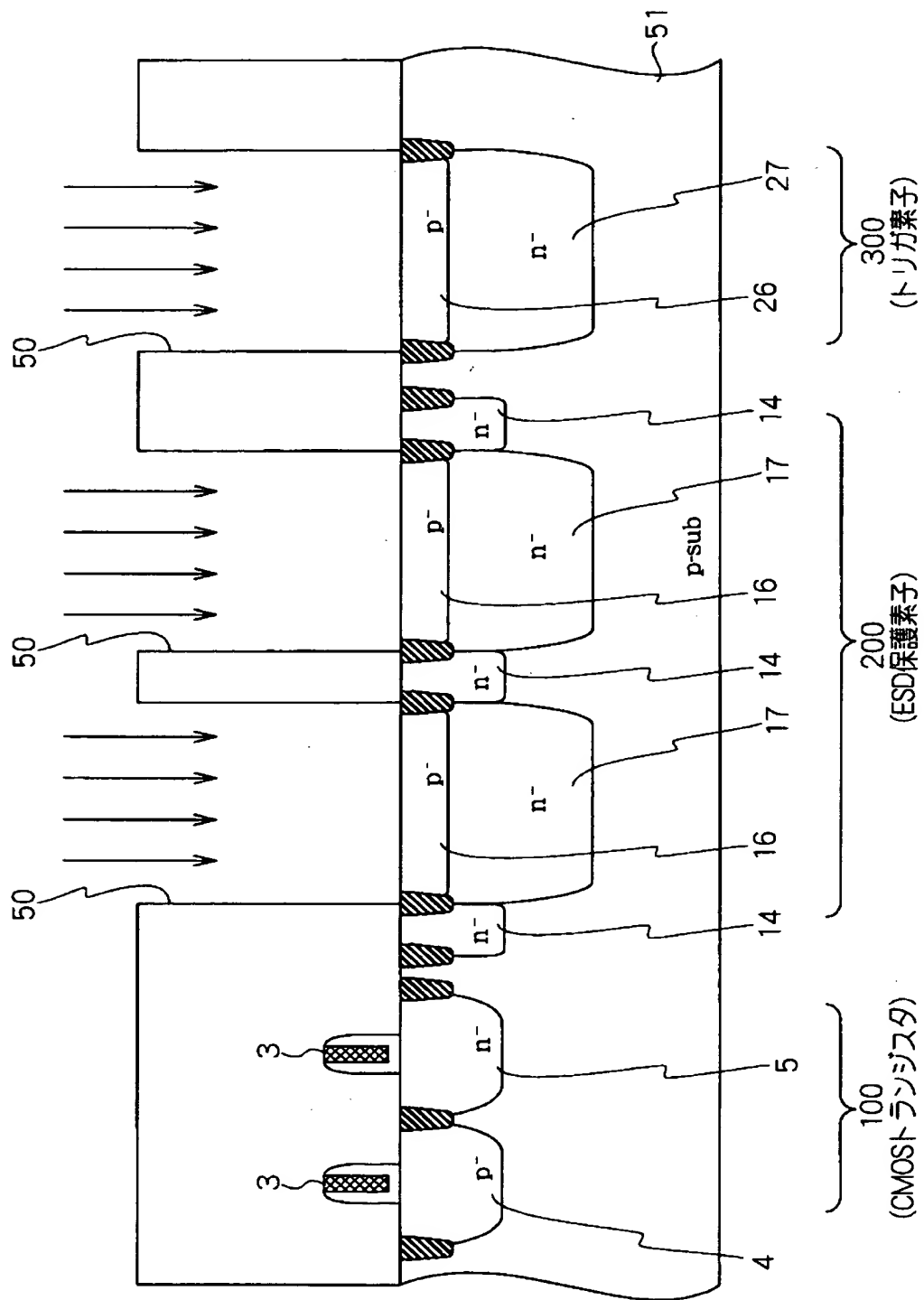
【図11】



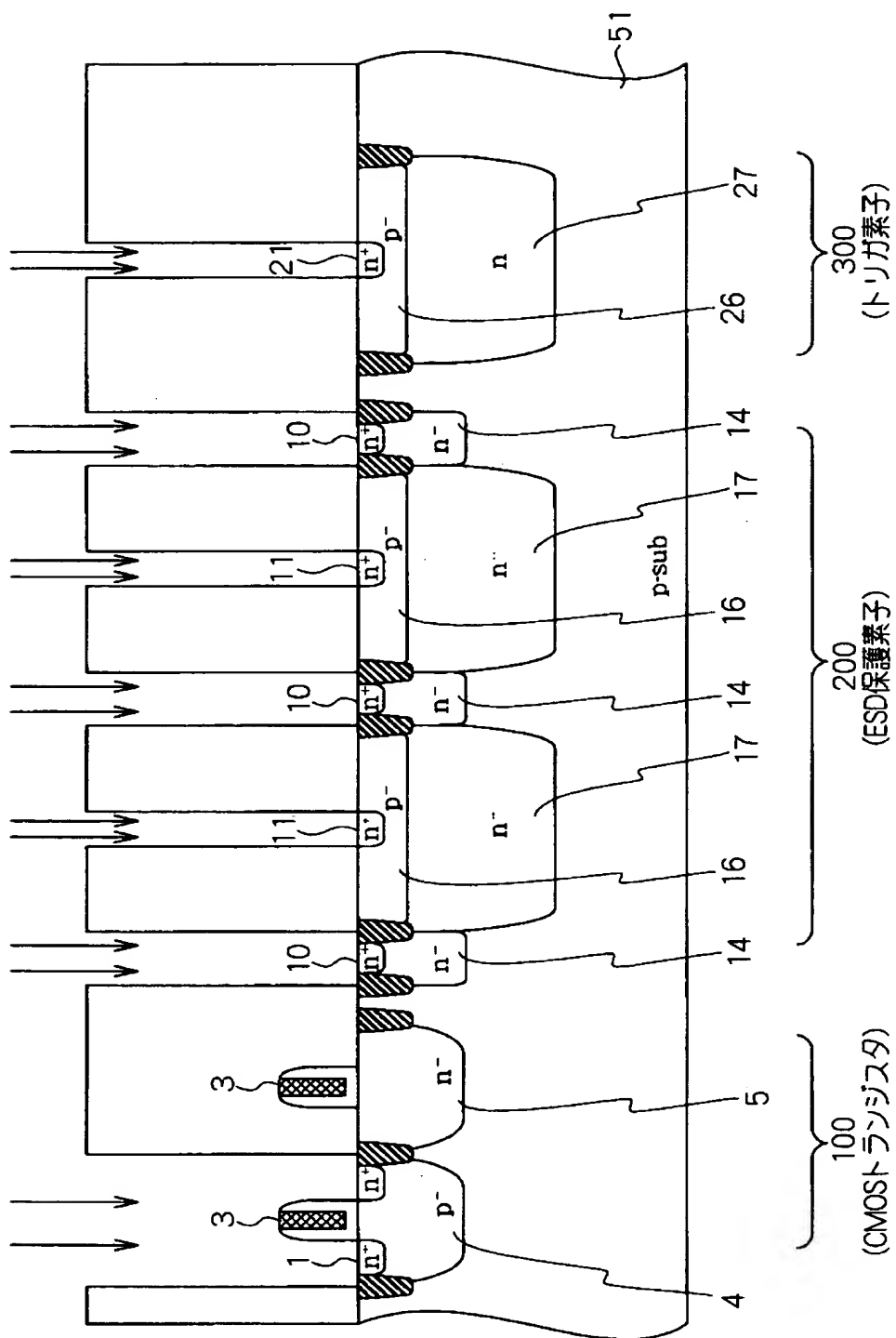
【図 12】



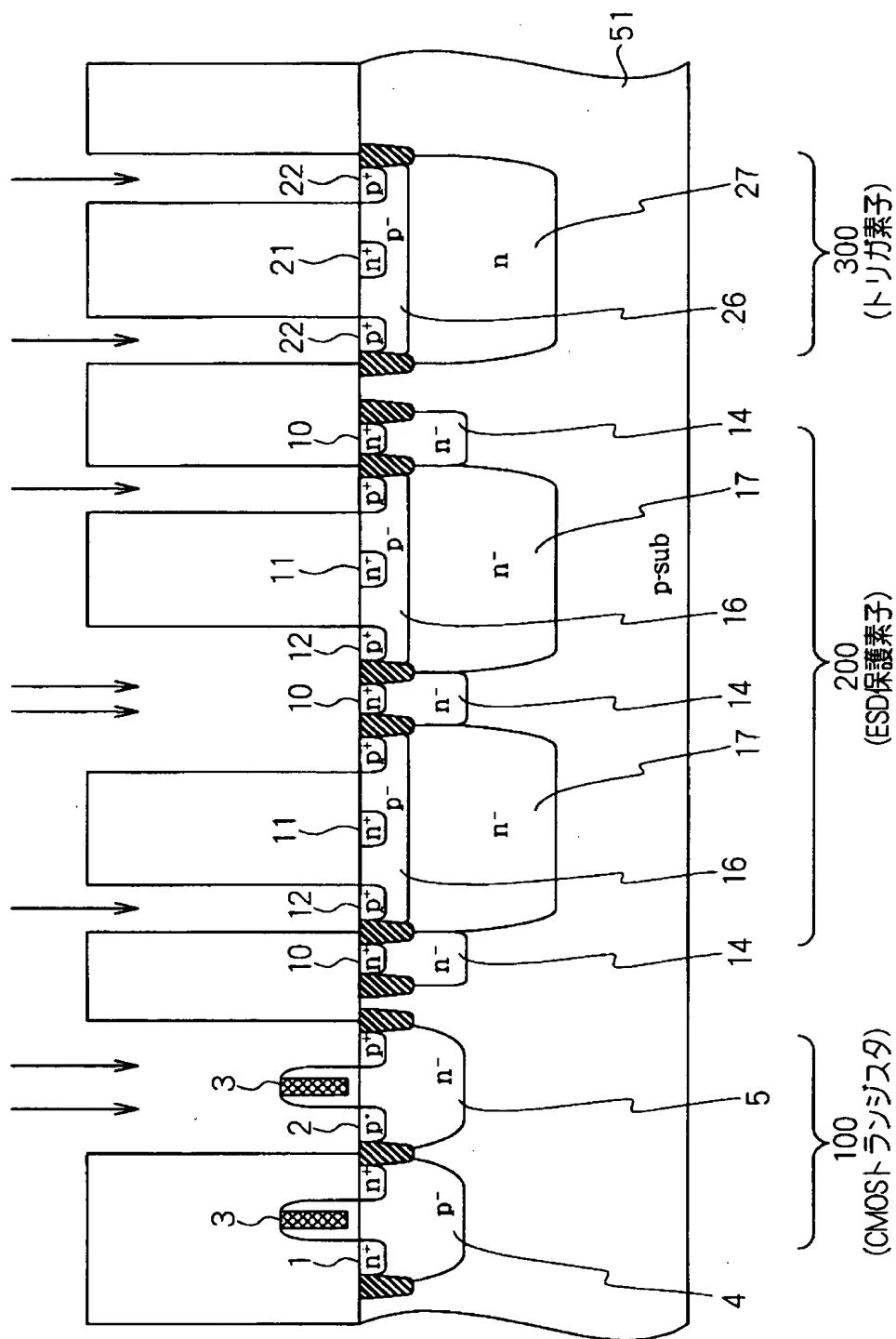
【図13】



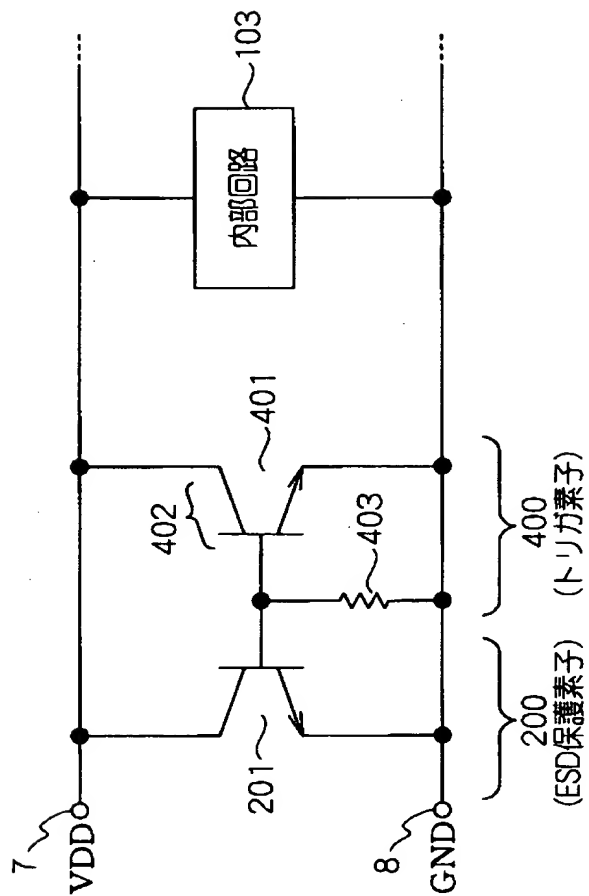
【図 14】



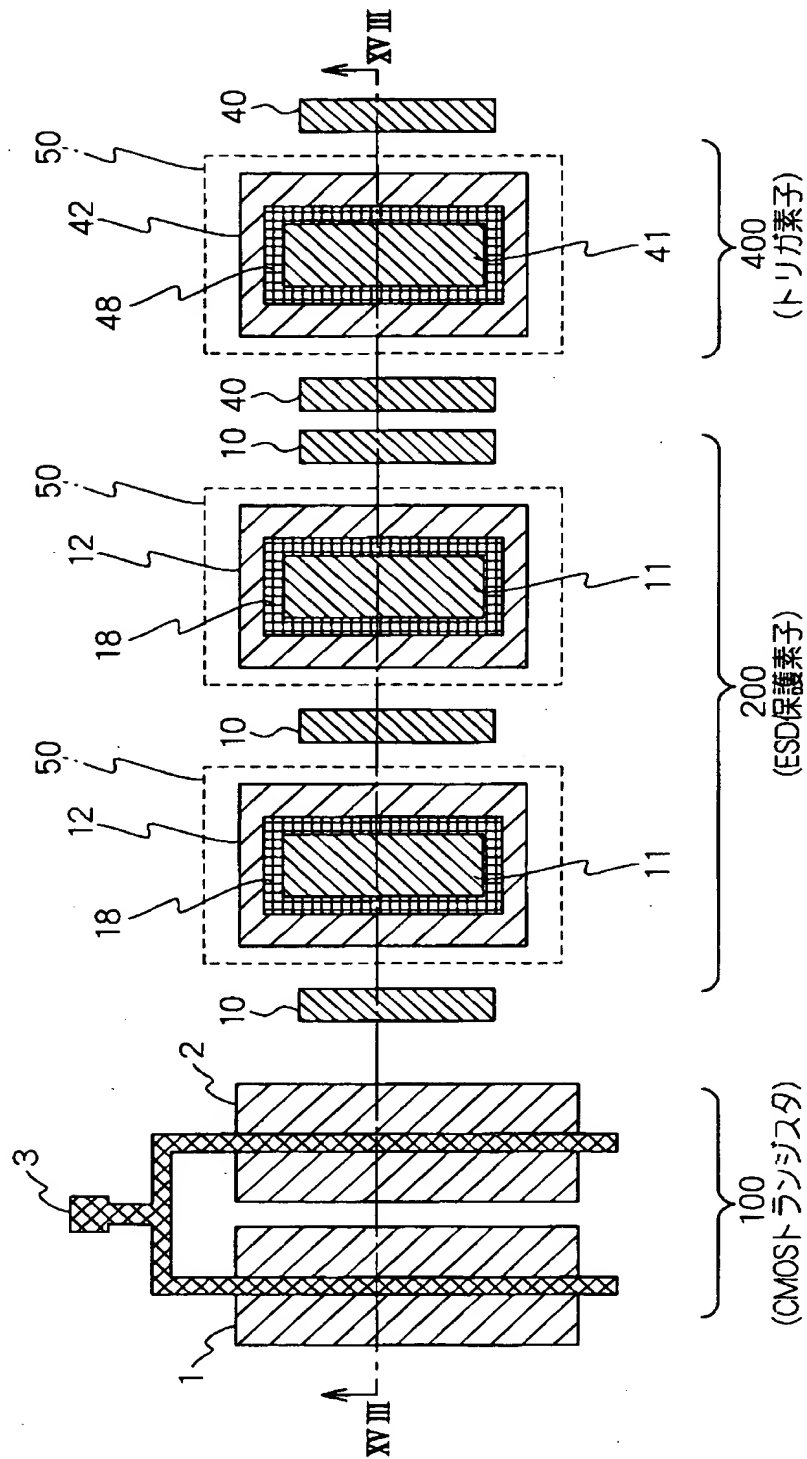
【図 15】



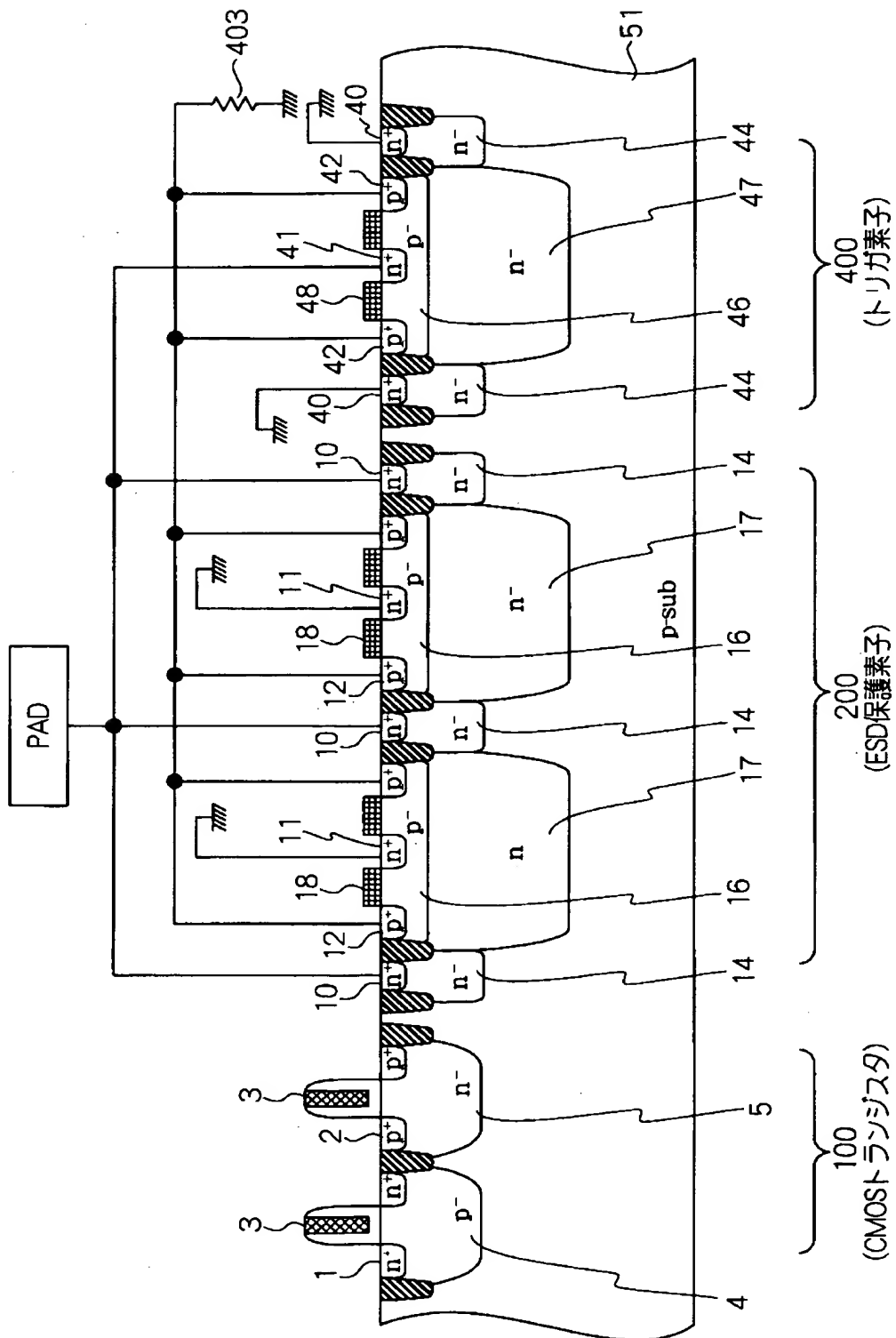
【図 1 6】



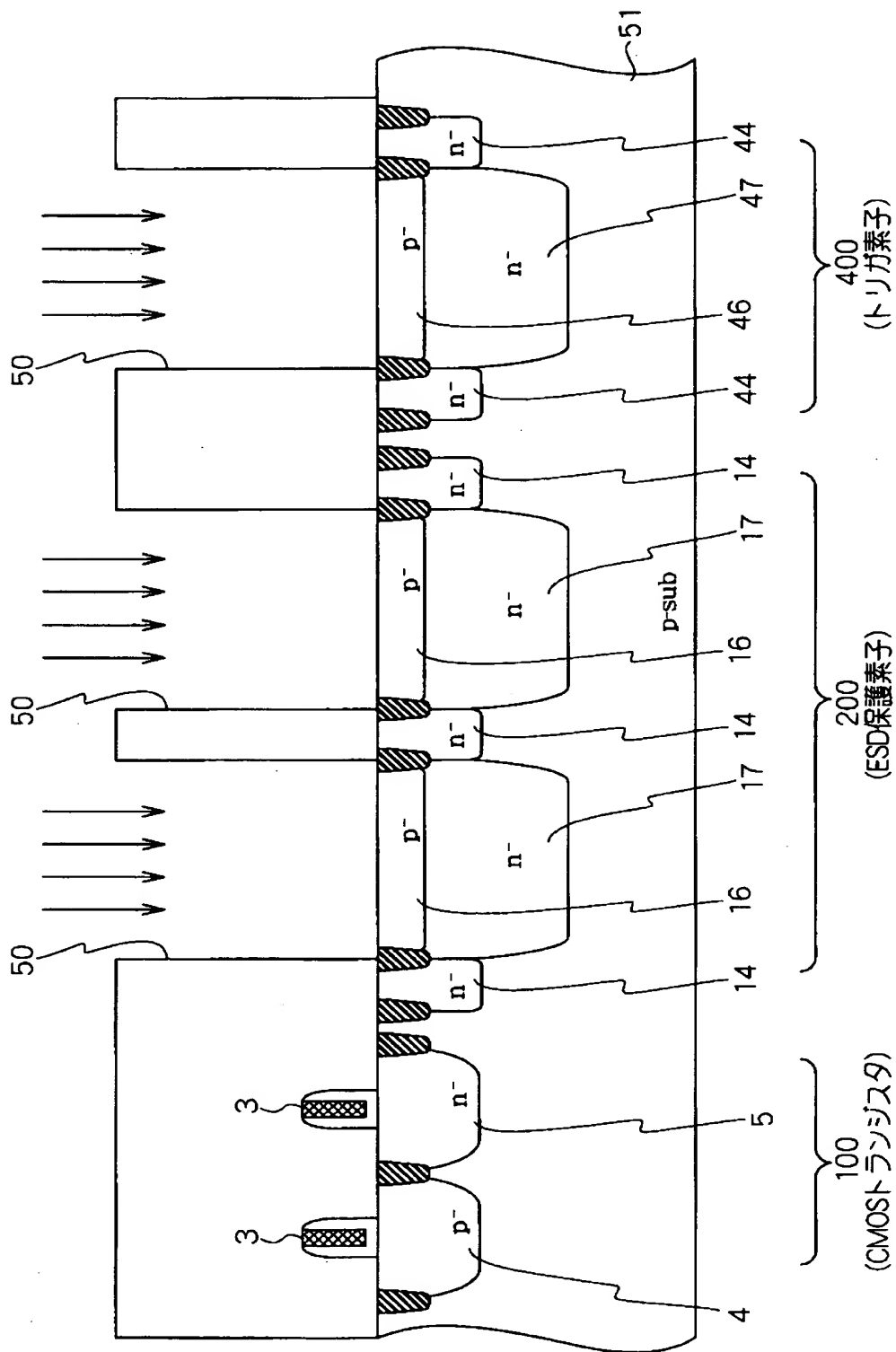
【図 17】



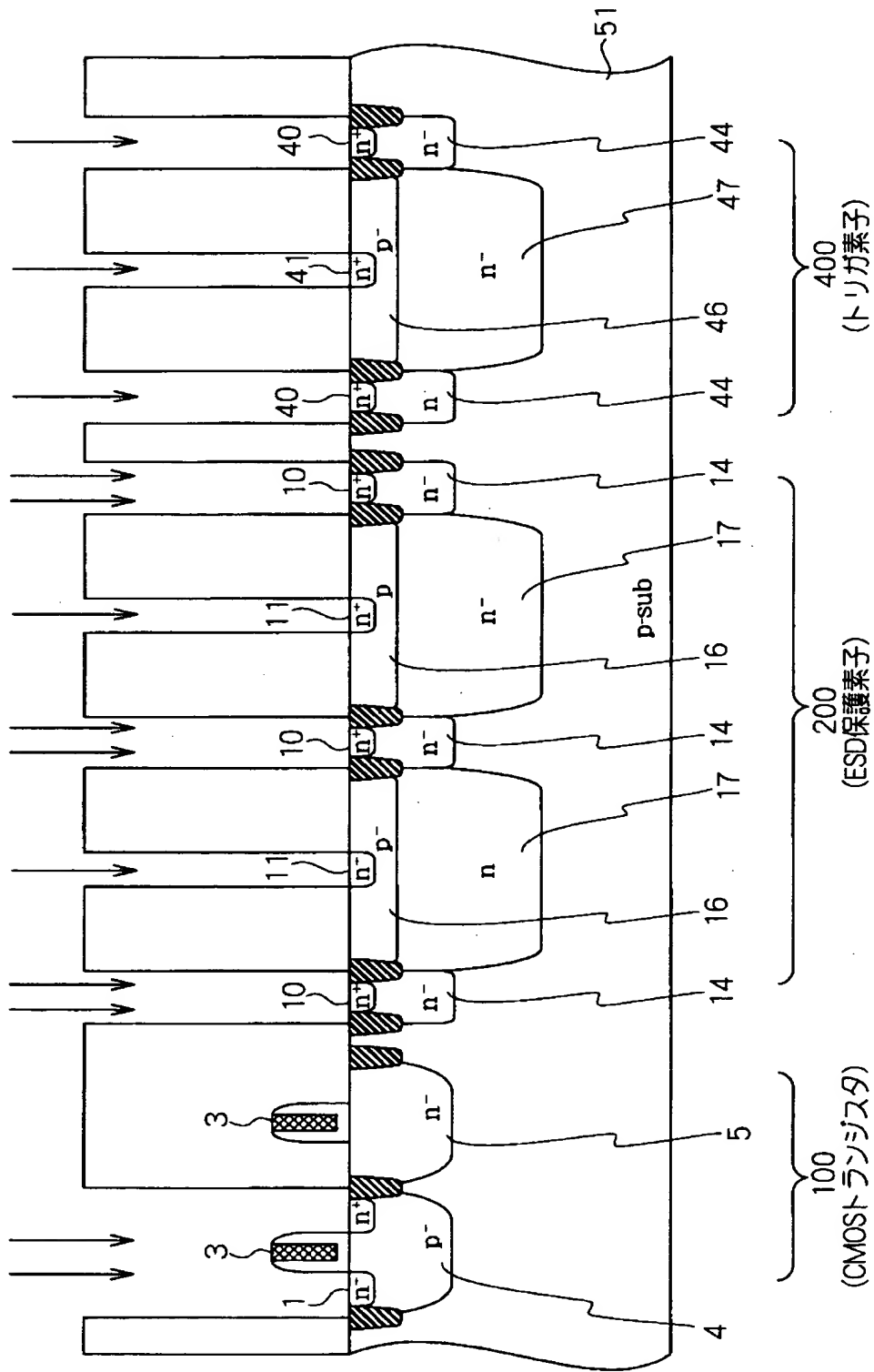
【图 18】



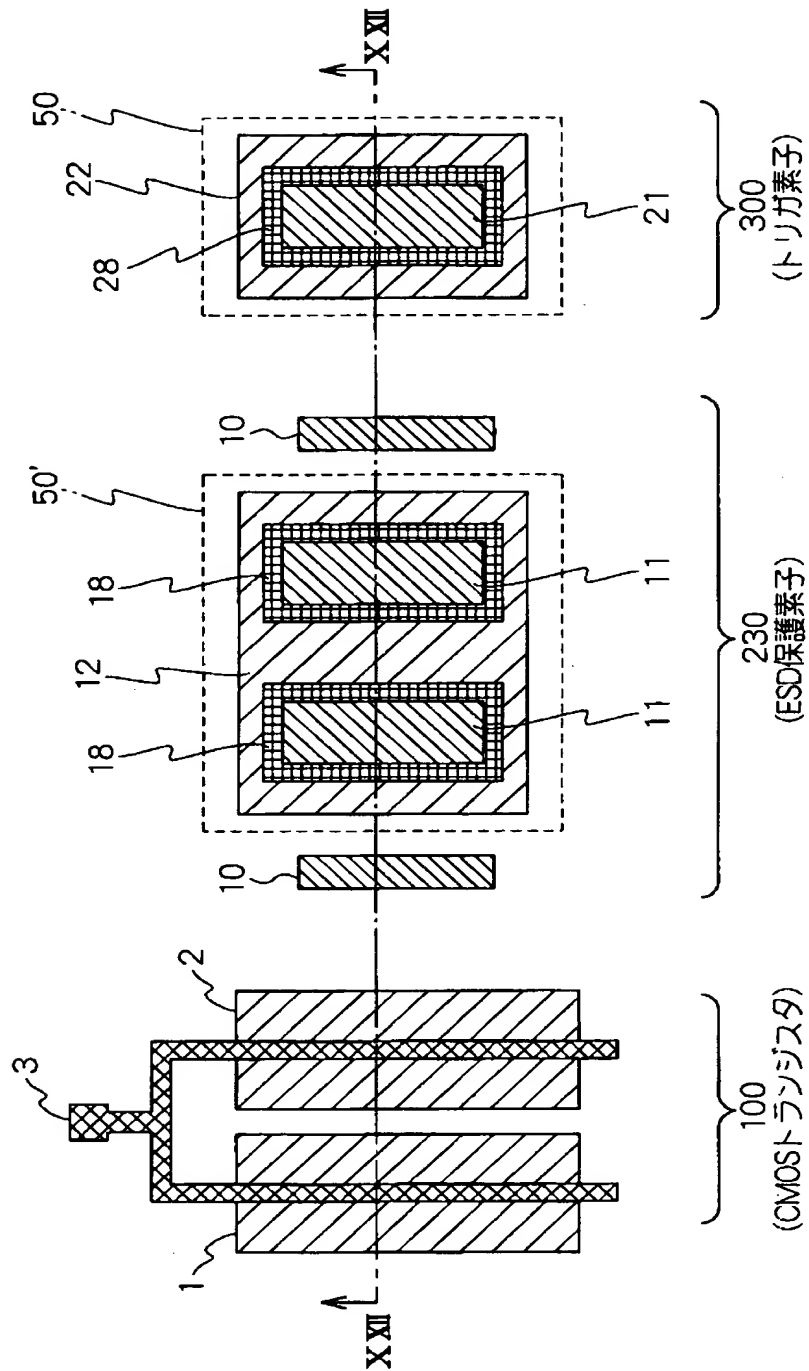
【図 19】



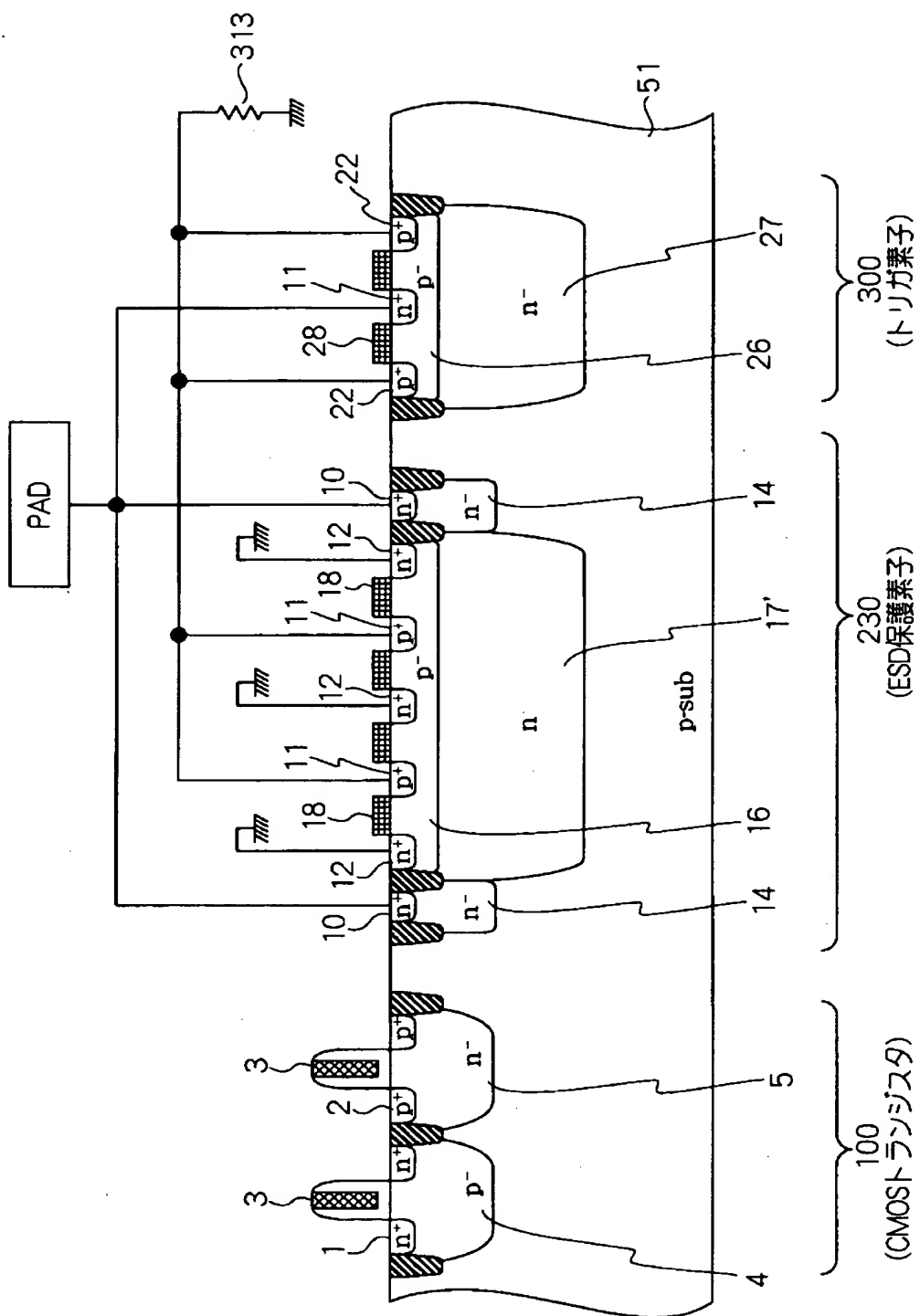
【図20】



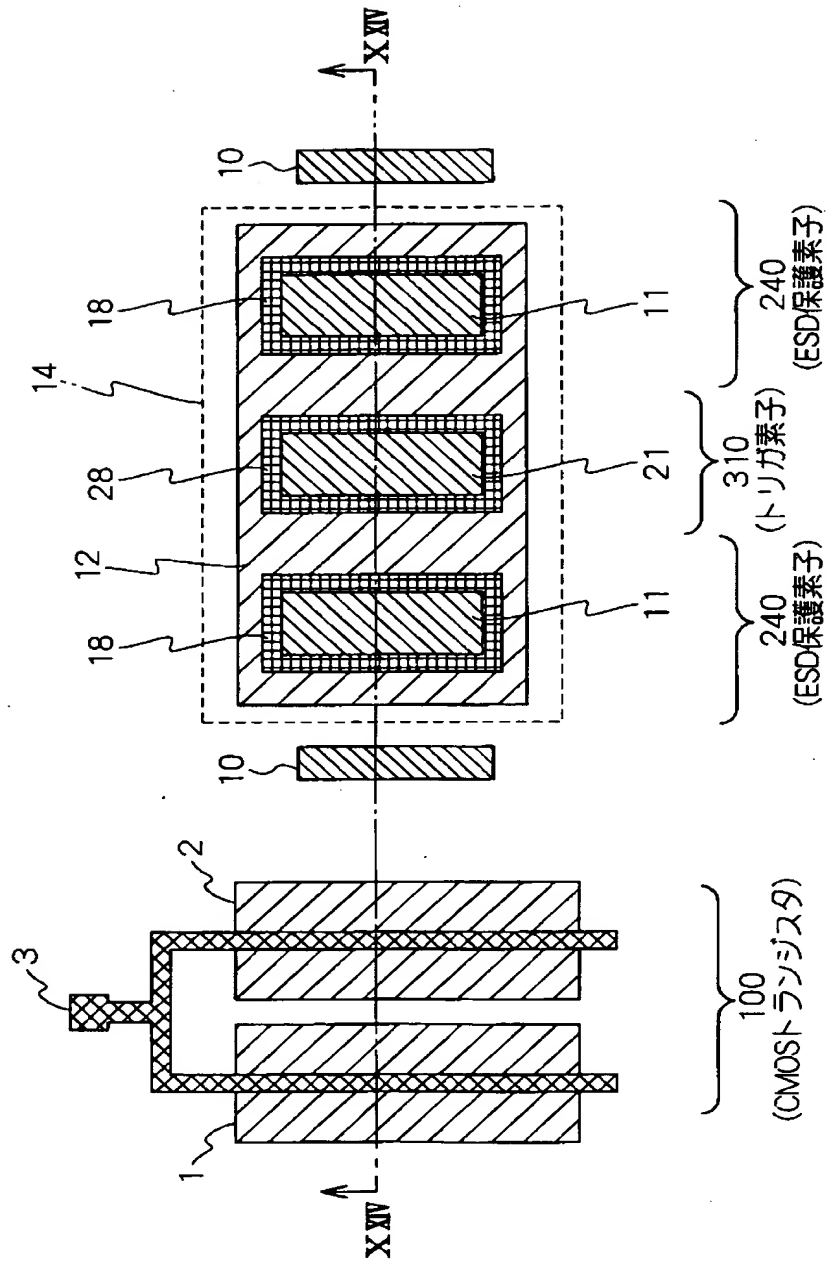
【図 21】



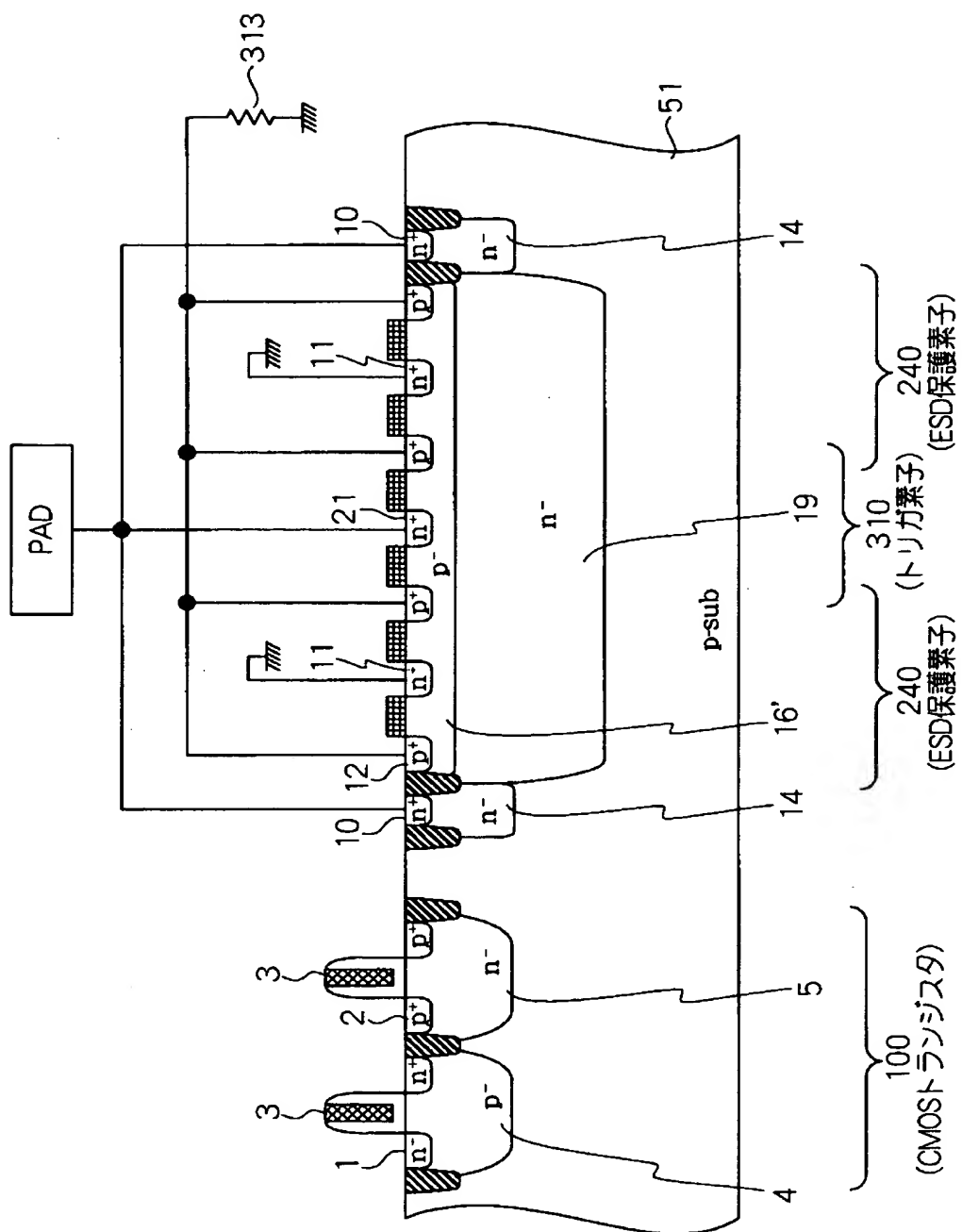
【図22】



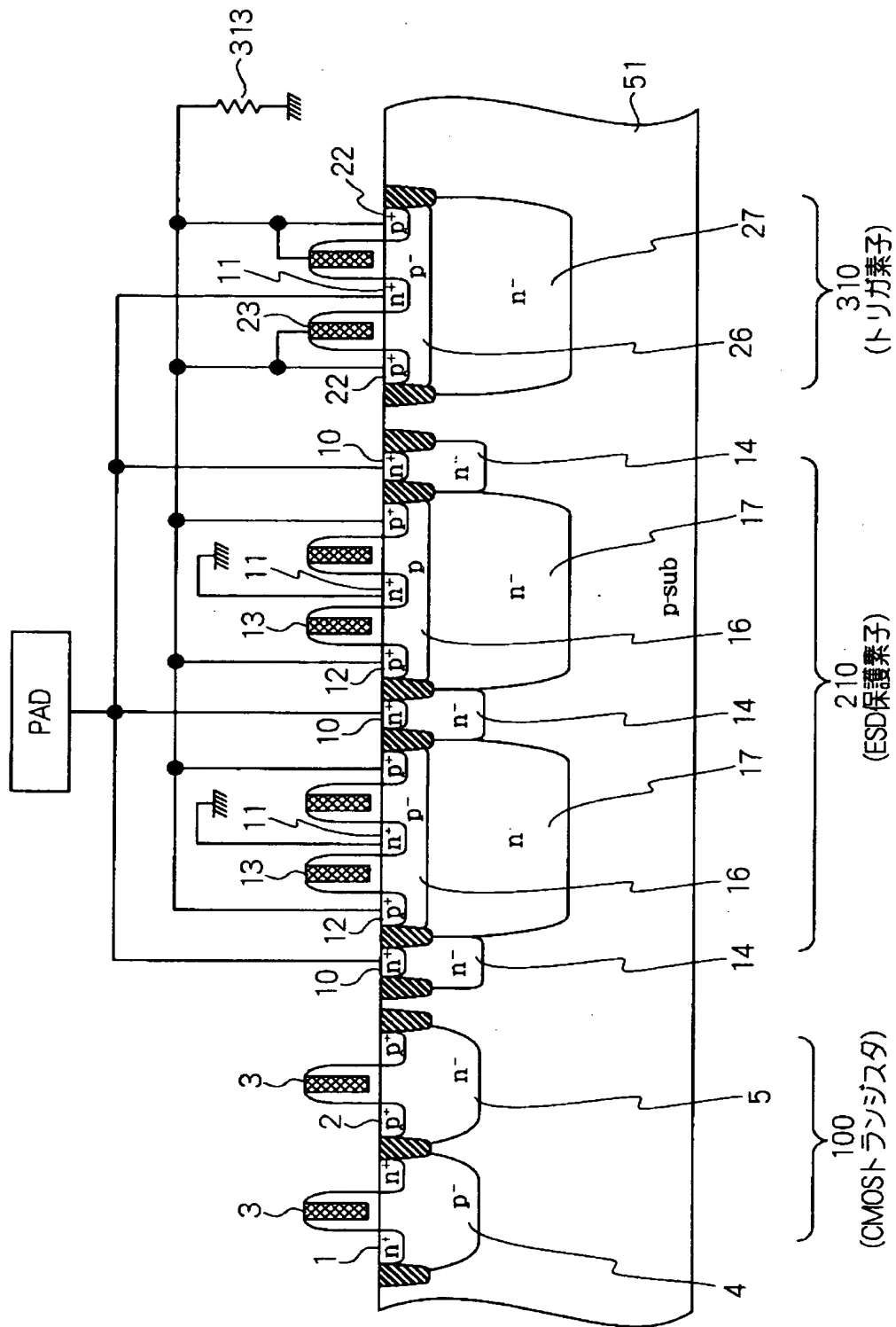
【図 23】



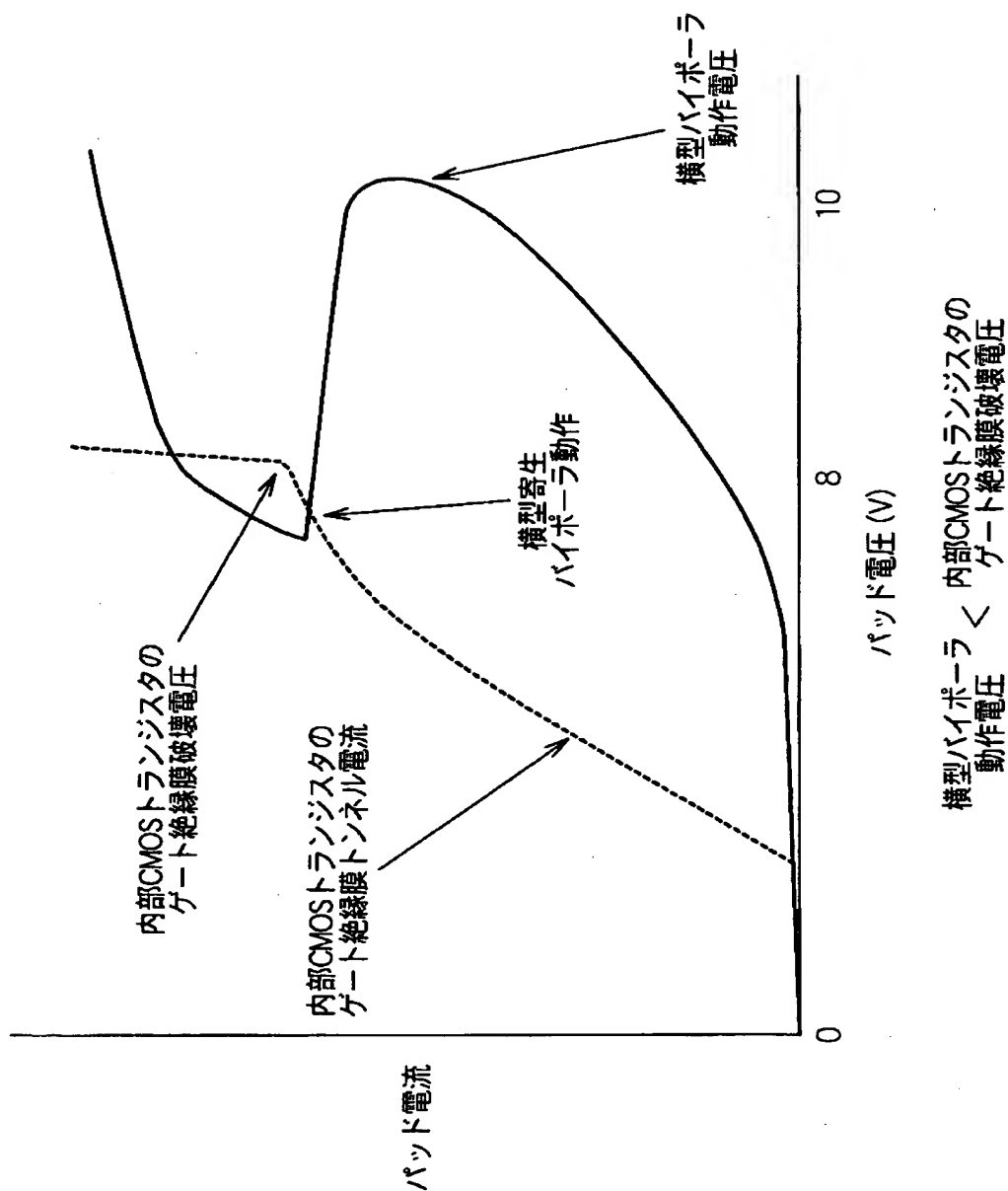
【图 24】



【図 25】



【図 26】



【書類名】 要約書

【要約】

【課題】 縮小化しても接合部での電流集中及び電界集中が起きにくく、しかも低電圧でトリガする特性を実現する。

【解決手段】 本発明のESD保護装置は、半導体集積回路チップの入力端子6とCMOSトランジスタ100との間に設けられ、入力端子6に印加された過電圧によって降伏するダイオード311、312を有するトリガ素子310と、ダイオード311、312の降伏によって導通することにより、入力端子6の蓄積電荷を放電する縦型バイポーラトランジスタ211、212を有するESD保護素子210とを備えている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社